

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: A. NISHIDA et al
Filed: on even date herewith
For: A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND A METHOD OF MANUFACTURING THE SAME

CLAIM FOR PRIORITY

MAIL STOP: Patent Application

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 20, 2004

Sir:

Under the provisions of 35 USC §119 AND 37 CFR § 1.55, Applicants hereby
claim the right of priority based on **Japanese** Patent Application No. 2003-044820
filed February 21, 2003.

A certified copy of said **Japanese** Patent Application is attached.

Respectfully submitted,
ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/dks
1300 North Seventeenth Street
Suite 1800
Arlington, VA 22209
Tel.: 703-312-6600
Fax.: 703-312-6666

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 1 日
Date of Application:

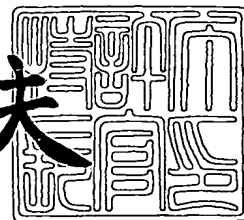
出 願 番 号 特 願 2 0 0 3 - 0 4 4 8 2 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 4 8 2 0]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02017351

【提出日】 平成15年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 西田 彰男

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 茶木原 啓

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 鳥羽 功一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 一対の相補性データ線とワード線との交差部に配置された第 1 および第 2 の転送用 M I S F E T と、第 1 および第 2 の駆動用 M I S F E T と、第 1 および第 2 の負荷用 M I S F E T とを有し、前記第 1 の駆動用 M I S F E T および前記第 1 の負荷用 M I S F E T と、前記第 2 の駆動用 M I S F E T および前記第 2 の負荷用 M I S F E T とが交差結合したメモリセルを有する半導体集積回路装置であって、

前記第 1 および第 2 の転送用 M I S F E T と、前記第 1 および第 2 の駆動用 M I S F E T とは、半導体基板の主面に形成され、

前記半導体基板上に形成された第 1 絶縁膜と、前記第 1 絶縁膜に形成された第 1 開口部とを有し、

前記第 1 開口部の側壁および底部には、前記第 1 開口部の側壁および底部に沿って形成された第 1 導電性膜を下部電極とし、前記第 1 導電性膜の上部に形成された第 2 絶縁膜を容量絶縁膜とし、前記第 2 絶縁膜の上部に形成された第 2 導電性膜を上部電極とする第 1 容量素子が形成され、

前記第 1 容量素子の上部には前記第 1 および第 2 の負荷用 M I S F E T と電氣的に接続する電源電圧線と、前記第 1 および第 2 の駆動用 M I S F E T と電氣的に接続する基準電圧線とが形成され、

前記下部電極は、前記第 1 の駆動用 M I S F E T のドレイン、前記第 1 の負荷用 M I S F E T のドレイン、前記第 2 の駆動用 M I S F E T のゲート電極および前記第 2 の負荷用 M I S F E T のゲート電極を電氣的に接続して前記メモリセルの第 1 の蓄積ノードを形成し、前記第 2 の駆動用 M I S F E T のドレイン、前記第 2 の負荷用 M I S F E T のドレイン、前記第 1 の駆動用 M I S F E T のゲート電極および前記第 1 の負荷用 M I S F E T のゲート電極を電氣的に接続して前記メモリセルの第 2 の蓄積ノードを形成し、

前記第 1 容量素子は、前記第 1 の蓄積ノードおよび前記第 2 の蓄積ノードと前記電源電圧線との間、前記第 1 の蓄積ノードおよび前記第 2 の蓄積ノードと前記

基準電圧線との間、もしくは前記第1の蓄積ノードと前記第2の蓄積ノードとの間に電氣的に接続されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記第1開口部は、前記第1および第2の駆動用MISFETのゲート電極と、前記第1および第2の負荷用MISFETのドレインとに達していることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置において、前記第2導電性膜は前記第1絶縁膜上に延在し、前記第2導電性膜よりも上部に形成された導電層と前記第1絶縁膜上にて接続されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置において、前記第1および第2の負荷用MISFETは、前記第1および第2の転送用MISFETと、前記第1および第2の駆動用MISFETのそれぞれよりも上部に形成され、前記第1の負荷用MISFETは、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、前記第2の負荷用MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、前記第1絶縁膜は、前記第1および第2の負荷用MISFETを覆うように形成されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項1記載の半導体集積回路装置において、前記半導体基板の主面上の第1領域に前記メモリセルが形成され、前記半導体基板の主面上の第2領域に電源回路が形成され、前記第2領域における前記第1絶縁膜に形成された第2開口部には、前記第2開口部の側壁および底部に沿って形成された前記第1導電性膜を下部電極とし、前記第1導電性膜の上部に形成された前記第2絶縁膜を容量絶縁膜とし、前記第2絶縁膜の上部に形成された前記第2導電性膜を上部電極とする第2容量素子が形成され、前記電源回路は前記メモリセルに動作電圧を供給し、前記第2容量素子は前記動作電圧と接地電位との間に電氣的に接

続されていることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置において、前記第 1 開口部および前記第 2 開口部の少なくとも一方の底部は、前記第 1 絶縁膜の下層に形成された第 3 絶縁膜に達し、前記第 1 導電性膜および前記第 2 導電性膜はそれぞれ前記第 1 絶縁膜上に延在し、前記第 1 絶縁膜よりも上部に形成された導電層とそれぞれ前記第 1 絶縁膜上にて接続されていることを特徴とする半導体集積回路装置。

【請求項 7】 一对の相補性データ線とワード線との交差部に配置された第 1 および第 2 の転送用 M I S F E T と、第 1 および第 2 の駆動用 M I S F E T と、第 1 および第 2 の負荷用 M I S F E T とを有し、前記第 1 の駆動用 M I S F E T および前記第 1 の負荷用 M I S F E T と、前記第 2 の駆動用 M I S F E T および前記第 2 の負荷用 M I S F E T とが交差結合したメモリセルと、電源回路とを有する半導体集積回路装置であって、

前記半導体基板の主面上の第 1 領域に前記メモリセルが形成され、前記半導体基板の主面上の第 2 領域に前記電源回路が形成され、

前記半導体基板上に第 1 絶縁膜が形成され、

前記第 2 領域における前記第 1 絶縁膜に形成された第 2 開口部には、前記第 2 開口部の側壁および底部に沿って形成された第 1 導電性膜を下部電極とし、前記第 1 導電性膜の上部に形成された第 2 絶縁膜を容量絶縁膜とし、前記第 2 絶縁膜の上部に形成された第 2 導電性膜を上部電極とする第 2 容量素子が形成され、

前記電源回路は前記メモリセルに動作電圧を供給し、前記第 2 容量素子は前記動作電圧と接地電位との間に電氣的に接続されていることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 7 記載の半導体集積回路装置において、前記第 2 開口部の底部は、前記第 1 絶縁膜の下層に形成された第 3 絶縁膜に達し、前記第 1 導電性膜および前記第 2 導電性膜はそれぞれ前記第 1 絶縁膜上に延在し、前記第 1 絶縁膜よりも上部に形成された導電層とそれぞれ前記第 1 絶縁膜上にて接続されていることを特徴とする半導体集積回路装置。

【請求項 9】 半導体基板上に形成された第 1 絶縁膜と、前記第 1 絶縁膜に

形成された第2開口部とを有し、

前記第2開口部の側壁および底部には、前記第2開口部の側壁および底部に沿って形成された第1導電性膜を下部電極とし、前記第1導電性膜の上部に形成された第2絶縁膜を容量絶縁膜とし、前記第2絶縁膜の上部に形成された第2導電性膜を上部電極とする容量素子が形成され、前記容量素子はアナログ回路を形成することを特徴とする半導体集積回路装置。

【請求項10】 請求項9記載の半導体集積回路装置において、前記第1開口部の底部は前記第1絶縁膜の下層に形成された第3絶縁膜に達し、前記第1導電性膜および前記第2導電性膜はそれぞれ前記第1絶縁膜上に延在し、前記第1絶縁膜よりも上部に形成された導電層とそれぞれ前記第1絶縁膜上にて接続されていることを特徴とする半導体集積回路装置。

【請求項11】 一对の相補性データ線とワード線との交差部に配置された第1および第2の転送用MISFETと、第1および第2の駆動用MISFETと、第1および第2の負荷用MISFETとを有し、前記第1の駆動用MISFETおよび前記第1の負荷用MISFETと、前記第2の駆動用MISFETおよび前記第2の負荷用MISFETとが交差結合したメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面に前記第1および第2の転送用MISFETと、前記第1および第2の駆動用MISFETとを形成する工程、

(b) 前記半導体基板上に第1絶縁膜を形成し、前記第1絶縁膜に第1開口部を形成する工程、

(c) 前記第1開口部の側壁および底部に第1導電性膜を形成し、前記第1導電性膜を介して前記第1の駆動用MISFETのドレインと前記第1の負荷用MISFETのドレインと前記第2の駆動用MISFETのゲート電極と前記第2の負荷用MISFETのゲート電極とを電氣的に接続して前記メモリセルの第1の蓄積ノードを形成し、前記第1導電性膜を介して前記第2の駆動用MISFETのドレインと前記第2の負荷用MISFETのドレインと前記第1の駆動用MISFETのゲート電極と前記第1の負荷用MISFETのゲート電極とを電氣的に接続して前記メモリセルの第2の蓄積ノードを形成する工程、

(d) 前記第 1 導電性膜上に第 2 絶縁膜を形成し、前記第 2 絶縁膜上に第 2 導電性膜を形成し、前記第 1 導電性膜を下部電極とし、前記第 2 絶縁膜を容量絶縁膜とし、前記第 2 導電性膜を上部電極とする第 1 容量素子を形成する工程、

(e) 前記第 1 容量素子の上部に電源電圧線および基準電圧線を形成する工程、
を含み、前記第 1 容量素子は、前記第 1 の蓄積ノードおよび前記第 2 の蓄積ノードと前記電源電圧線との間、前記第 1 の蓄積ノードおよび前記第 2 の蓄積ノードと前記基準電圧線との間、もしくは前記第 1 の蓄積ノードと前記第 2 の蓄積ノードとの間に電氣的に接続することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 2】 請求項 1 1 記載の半導体集積回路装置の製造方法において、前記 (b) 工程は、

(b 1) 前記第 1 絶縁膜に第 3 開口部を形成する工程、

(b 2) 前記第 3 開口部の内部を含む前記第 1 絶縁膜に第 3 導電性膜を堆積し、前記第 2 開口部に前記第 3 導電性膜を埋め込む工程、

(b 3) 前記第 3 開口部の外部の前記第 3 導電性膜を除去し、前記第 3 開口部内に前記第 3 導電性膜を残す工程、

を含み、前記 (b 1) ~ (b 3) 工程は、前記第 1 開口部を形成する前に行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 3】 請求項 1 1 記載の半導体集積回路装置の製造方法において、前記第 1 開口部は前記第 1 および第 2 の駆動用 M I S F E T のゲート電極と、前記第 1 および第 2 の負荷用 M I S F E T のドレインとに達するように形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】 請求項 1 1 記載の半導体集積回路装置の製造方法において、前記 (d) 工程は、

(d 1) 前記第 2 導電性膜を前記第 1 絶縁膜上に延在するようにパターンニングする工程、

(d 2) 前記第 1 絶縁膜上に第 4 絶縁膜を形成する工程、

(d 3) 前記第 4 絶縁膜を穿孔し、前記第 1 絶縁膜上に延在する前記第 2 導電性膜に達する接続孔を形成する工程、

(d 4) 前記接続孔内に導電層を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 請求項 11 記載の半導体集積回路装置の製造方法において

前記第 1 の負荷用 M I S F E T は、半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 の負荷用 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部に前記ゲート絶縁膜を介して形成されたゲート電極とを有し、

(f) 前記第 1 および第 2 の転送用 M I S F E T と前記第 1 および第 2 の駆動用 M I S F E T の上部に、前記第 2 の駆動用 M I S F E T の前記ゲート電極と、前記第 1 の駆動用 M I S F E T のドレインとを電氣的に接続する第 1 中間導電層を形成し、前記第 1 の駆動用 M I S F E T の前記ゲート電極と、前記第 2 の駆動用 M I S F E T のドレインとを電氣的に接続する第 2 中間導電層を形成する工程、

(g) 前記第 1 および第 2 中間導電層の上部に絶縁膜を介して第 1 および第 2 ゲート引き出し電極を形成する工程、

(h) 前記 (g) 工程の後、前記第 1 および第 2 ゲート引き出し電極の上部に前記第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを電氣的に接続し、前記第 2 積層体に形成された第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを電氣的に接続する工程、

(i) 前記第 1 積層体の側壁部に前記ゲート絶縁膜を介して形成された前記第 1 の負荷用 M I S F E T の前記ゲート電極と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 2 積層体の側壁部に前記ゲート絶縁膜を介して形成された前記第 2 縦型 M I S F E T の前記ゲート電極と前記第 2 ゲート引き出し電極とを電氣的に接続する工程、

(j) 前記第 1 積層体の側壁部に前記ゲート絶縁膜を介して形成された前記第 1 縦型 M I S F E T の前記ゲート電極と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 2 積層体の側壁部に前記ゲート絶縁膜を介して形成された前記第

2 縦型MISFETのゲート電極と前記第2ゲート引き出し電極とを電氣的に接続する工程、

(k) 前記第1ゲート引き出し電極の上部に、前記第1ゲート引き出し電極と前記第2中間導電層とに接するように前記第1開口部を形成し、前記第2ゲート引き出し電極と前記第1中間導電層とに接するように他の前記第1開口部を形成する工程、

(l) 前記第1開口部の側壁および底部に前記第1導電性膜を形成し、前記第1導電性膜を介して前記第1ゲート引き出し電極と前記第2中間導電層とを電氣的に接続し、前記第1導電性膜を介して前記第2ゲート引き出し電極と前記第1中間導電層とを電氣的に接続する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項11記載の半導体集積回路装置の製造方法において、前記半導体基板の主面上の第1領域に前記メモリセルを形成し、前記半導体基板の主面上の第2領域に前記メモリセルに動作電圧を供給する電源回路を形成し、

(f) 前記第2領域の前記第1絶縁膜に第2開口部を形成する工程、

(g) 前記第2開口部の側壁および底部に沿って前記第1導電性膜を形成し、前記第2開口部内の前記第1導電性膜上に前記第2絶縁膜を形成し、前記第2開口部内の前記第2絶縁膜上に前記第2導電性膜を形成し、前記第1導電性膜を下部電極とし、前記第2絶縁膜を容量絶縁膜とし、前記第2導電性膜を上部電極とし、前記電源回路および前記メモリセルと接地電位との間に電氣的に接続される第2容量素子を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項17】 一对の相補性データ線とワード線との交差部に配置された第1および第2の転送用MISFETと、第1および第2の駆動用MISFETと、第1および第2の負荷用MISFETとを有し、前記第1の駆動用MISFETおよび前記第1の負荷用MISFETと、前記第2の駆動用MISFETおよび前記第2の負荷用MISFETとが交差結合したメモリセルと、前記メモリセルに動作電圧を供給する電源回路とを有する半導体集積回路装置の製造方法で

あって、

半導体基板の主面上の第 1 領域に前記メモリセルを形成し、前記半導体基板の主面上の第 2 領域に前記電源回路を形成し、

(a) 前記半導体基板上に第 1 絶縁膜を形成する工程、
(b) 前記第 2 領域の前記第 1 絶縁膜に第 2 開口部を形成する工程、
(c) 前記第 2 開口部の側壁および底部に沿って第 1 導電性膜を形成し、前記第 1 導電性膜上に第 2 絶縁膜を形成し、前記第 2 絶縁膜上に第 2 導電性膜を形成し、前記第 1 導電性膜を下部電極とし、前記第 2 絶縁膜を容量絶縁膜とし、前記第 2 導電性膜を上部電極とし、前記動作電圧と接地電位との間に電氣的に接続される第 2 容量素子を形成する工程、
を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 18】 請求項 17 記載の半導体集積回路装置の製造方法において、前記 (b) 工程は、

(b 1) 前記第 1 絶縁膜に第 3 開口部を形成する工程、
(b 2) 前記第 3 開口部の内部を含む前記第 1 絶縁膜に第 3 導電性膜を堆積し、前記第 2 開口部に前記第 3 導電性膜を埋め込む工程、
(b 3) 前記第 3 開口部の外部の前記第 3 導電性膜を除去し、前記第 3 開口部内に前記第 3 導電性膜を残す工程、
を含み、前記 (b 1) ~ (b 3) 工程は、前記第 2 開口部を形成する前に行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 19】 (a) 半導体基板上に第 1 絶縁膜を形成する工程、
(b) 前記第 1 絶縁膜に第 2 開口部を形成する工程、
(c) 前記第 2 開口部の側壁および底部に沿って第 1 導電性膜を形成し、前記第 1 導電性膜上に第 2 絶縁膜を形成し、前記第 2 絶縁膜上に第 2 導電性膜を形成し、前記第 1 導電性膜を下部電極とし、前記第 2 絶縁膜を容量絶縁膜とし、前記第 2 導電性膜を上部電極とする容量素子を形成する工程、
を含み、前記容量素子を用いてアナログ回路を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 20】 請求項 19 記載の半導体集積回路装置の製造方法において

(b 1) 前記第 1 絶縁膜に第 3 開口部を形成する工程、
(b 2) 前記第 3 開口部の内部を含む前記第 1 絶縁膜に第 3 導電性膜を堆積し、
前記第 2 開口部に前記第 3 導電性膜を埋め込む工程、
(b 3) 前記第 3 開口部の外部の前記第 3 導電性膜を除去し、前記第 3 開口部内
に前記第 3 導電性膜を残す工程、
を含み、前記 (b 1) ~ (b 3) 工程は、前記第 2 開口部を形成する前に行うこ
とを特徴とする半導体集積回路装置の製造方法。

【請求項 2 1】 半導体基板上に形成された第 1 絶縁膜と、前記第 1 絶縁膜
に形成された複数の第 2 開口部とを有し、

前記複数の第 2 開口部の側壁および底部には、前記第 2 開口部の側壁および底
部に沿って形成された第 1 導電性膜を下部電極とし、前記第 1 導電性膜の上部に
形成された第 2 絶縁膜を容量絶縁膜とし、前記複数の第 2 開口部内において前記
第 2 絶縁膜の上部に形成された第 2 導電性膜を上部電極とする容量素子が形成さ
れたことを特徴とする半導体集積回路装置。

【請求項 2 2】 請求項 2 1 記載の半導体集積回路装置において、前記第 1
絶縁膜には複数の配線溝が形成され、前記配線溝に配線が形成されることを特徴
とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、キャパシタ
を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0 0 0 2】

【従来の技術】

S R A M (Static Random Access Memory) は、電源が印加状態であればリフ
レッシュ動作が不要な、随時書き込みおよび読み出しが可能な R A M であり、1
ビットの情報を記憶するフリップフロップ回路と 2 個の情報転送用 M I S F E T
(Metal Insulator Semiconductor Field Effect Transistor) とで構成される

。また、そのフリップフロップ回路は、たとえば一对の駆動用M I S F E Tと一对の負荷用M I S F E Tとで構成される。

【0 0 0 3】

このようなメモリセルにおいては、たとえば α 線等によるソフトエラーが問題となっている。これは、外界の宇宙線に含まれる α 線やL S Iのパッケージ材料中に含まれる放射性原子から放出される α 線がメモリセル内に入り、メモリセル中に保存されている情報を破壊する現象である。この α 線対策のために、メモリセル中の情報蓄積部（前記フリップフロップ回路の入出力部）に容量を付加し、情報蓄積部の容量を増加させる方法が検討されている。

【0 0 0 4】

また、メモリセルのスケーリングが進み、動作電圧が低下することによって、メモリセル自体が保有する容量値が減少し、情報を破壊するソフトエラーがより発生しやすくなることが懸念されている。

【0 0 0 5】

たとえば、情報を記憶するフリップフロップ回路の入出力端子を交差結合する2本の配線の間にて、容量電極となる2層の金属膜およびこれらの間に介在する薄い絶縁膜を新たに追加することによって容量を形成し、メモリセルの蓄積ノードの容量を増加させ、ソフトエラー耐性の低下を防ぐ技術がある（たとえば、特許文献1参照）。

【0 0 0 6】

【特許文献1】

特開平9-36252号公報

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、メモリセルの高集積化に伴う微細化および半導体チップ（以下、単にチップという）サイズの縮小化が進むと、容量を形成することができる領域も小さくなる。従って、情報蓄積部の容量を増加させることに限界が生じてくる。

【0 0 0 8】

すなわち、情報を記憶するフリップフロップ回路の入出力端子を交差結合する 2 本の配線の間にて、容量電極となる 2 層の金属層およびこれらの間に介在する薄い絶縁膜を新たに追加することによって容量を形成する方法の場合、容量を平面的に形成することとなり、容量を増加させるためには平面的に大きな面積が必要となる。そのため、チップサイズの縮小化を阻害してしまうことになる。

【0009】

本発明の目的は、半導体集積回路装置の特性を向上できる技術を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

すなわち、本発明の半導体集積回路装置は、一对の相補性データ線とワード線との交差部に配置された第 1 および第 2 の転送用 M I S F E T と、第 1 および第 2 の駆動用 M I S F E T と、第 1 および第 2 の負荷用 M I S F E T とを有し、前記第 1 の駆動用 M I S F E T および前記第 1 の負荷用 M I S F E T と、前記第 2 の駆動用 M I S F E T および前記第 2 の負荷用 M I S F E T とが交差結合したメモリセルを有し、

前記第 1 および第 2 の転送用 M I S F E T と、前記第 1 および第 2 の駆動用 M I S F E T とは、半導体基板の主面に形成され、

前記半導体基板上に形成された第 1 絶縁膜と、前記第 1 絶縁膜に形成され、前記第 1 および第 2 の駆動用 M I S F E T のゲート電極と、前記第 1 および第 2 の負荷用 M I S F E T のドレインとに達する第 1 開口部とを有し、

前記第 1 開口部の側壁および底部には、前記第 1 開口部の側壁および底部に沿って形成された第 1 導電性膜を下部電極とし、前記第 1 導電性膜の上部に形成さ

れた第2絶縁膜を容量絶縁膜とし、前記第2絶縁膜の上部に形成された第2導電性膜を上部電極とする第1容量素子が形成され、

前記第1容量素子の上部には前記第1および第2の負荷用MISFETと電氣的に接続する電源電圧線と、前記第1および第2の駆動用MISFETと電氣的に接続する基準電圧線とが形成され、

前記下部電極は、前記第1の駆動用MISFETのドレイン、前記第1の負荷用MISFETのドレイン、前記第2の駆動用MISFETのゲート電極および前記第2の負荷用MISFETのゲート電極を電氣的に接続して前記メモリセルの第1の蓄積ノードを形成し、前記第2の駆動用MISFETのドレイン、前記第2の負荷用MISFETのドレイン、前記第1の駆動用MISFETのゲート電極および前記第1の負荷用MISFETのゲート電極を電氣的に接続して前記メモリセルの第2の蓄積ノードを形成し、

前記第1容量素子は、前記第1の蓄積ノードおよび前記第2の蓄積ノードと前記電源電圧線との間、前記第1の蓄積ノードおよび前記第2の蓄積ノードと前記基準電圧線との間、もしくは前記第1の蓄積ノードと前記第2の蓄積ノードとの間に電氣的に接続されたものである。

【0013】

また、上記の半導体集積回路装置は、たとえば以下の(a)～(e)工程を含む工程によって製造される。

(a) 半導体基板の主面に前記第1および第2の転送用MISFETと、前記第1および第2の駆動用MISFETとを形成する工程、

(b) 前記半導体基板上に第1絶縁膜を形成し、前記第1絶縁膜に前記第1および第2の駆動用MISFETのゲート電極と、前記第1および第2の負荷用MISFETのドレインとに達する第1開口部を形成する工程、

(c) 前記第1開口部の側壁および底部に第1導電性膜を形成し、前記第1導電性膜を介して前記第1の駆動用MISFETのドレインと前記第1の負荷用MISFETのドレインと前記第2の駆動用MISFETのゲート電極と前記第2の負荷用MISFETのゲート電極とを電氣的に接続して前記メモリセルの第1の蓄積ノードを形成し、前記第1導電性膜を介して前記第2の駆動用MISFET

のドレインと前記第2の負荷用MISFETのドレインと前記第1の駆動用MISFETのゲート電極と前記第1の負荷用MISFETのゲート電極とを電氣的に接続して前記メモリセルの第2の蓄積ノードを形成する工程、

(d) 前記第1導電性膜上に第2絶縁膜を形成し、前記第2絶縁膜上に第2導電性膜を形成し、前記第1導電性膜を下部電極とし、前記第2絶縁膜を容量絶縁膜とし、前記第2導電性膜を上部電極とする第1容量素子を形成する工程、

(e) 前記第1容量素子の上部に電源電圧線および基準電圧線を形成する工程。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0015】

(実施の形態1)

図1～図3は、本実施の形態1の半導体集積回路装置であるSRAMのメモリセルの等価回路図を示したものである。図示のように、このメモリセルMCは、一対の相補性データ線（データ線DL、データ線／（バー）DL）とワード線WLとの交差部に配置され、一対の駆動用MISFETQd1、Qd2、一対の負荷用MISFETQp1、Qp2および一対の転送用MISFETQt1、Qt2から形成されている。駆動用MISFETQd1、Qd2および転送用MISFETQt1、Qt2はnチャネル型MISFETで形成され、負荷用MISFETQp1、Qp2はpチャネル型MISFETで形成されている。

【0016】

メモリセルMCを構成する上記6個のMISFETのうち、駆動用MISFETQd1および負荷用MISFETQp1はインバータINV1を形成し、駆動用MISFETQd2および負荷用MISFETQp2はインバータINV2を形成している。これら一対のインバータINV1、INV2の相互の入出力端子（蓄積ノードA1、B1）は交差結合され、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を形成している。また、このフリップフロップ

回路の一方の入出力端子（蓄積ノードA1）は、転送用MISFETQ_{t1}のソース、ドレインの一方に接続され、他方の入出力端子（蓄積ノードB1）は、転送用MISFETQ_{t2}のソース、ドレインの一方に接続されている。すなわち、駆動用MISFETQ_{d1}のドレイン、負荷用MISFETQ_{p1}のドレイン、駆動用MISFETQ_{d2}のゲート、負荷用MISFETQ_{p2}のゲートは互いに電氣的に接続され、蓄積ノードA1を構成する。また、駆動用MISFETQ_{d2}のドレイン、負荷用MISFETQ_{p2}のドレイン、駆動用MISFETQ_{d1}のゲート、負荷用MISFETQ_{p1}のゲートは互いに電氣的に接続され、蓄積ノードB1を構成する。

【0017】

また、転送用MISFETQ_{t1}のソース、ドレインの他方はデータ線DLに接続され、転送用MISFETQ_{t2}のソース、ドレインの他方はデータ線/DLに接続されている。フリップフロップ回路の一端（負荷用MISFETQ_{p1}、Q_{p2}の各ソース）は電源電圧V_{cc}に接続され、他端（駆動用MISFETQ_{d1}、Q_{d2}の各ソース領域）は基準電圧（接地（基板）電位）V_{ss}に接続されている。電源電圧V_{cc}は基準電圧V_{ss}よりも高い電位（V_{cc}>V_{ss}）である。

【0018】

上記回路においては、蓄積ノードA1、B1と電源電圧V_{cc}との間（図1参照）、蓄積ノードA1、B1と基準電圧V_{ss}との間（図2参照）もしくは蓄積ノードA1、B1間（図3参照）に容量素子Cが接続されている。このような容量素子Cを配置することにより、メモリセルMCの蓄積ノードA1、B1の容量を増加させ、 α 線等によるソフトエラー耐性の低下を防ぐことができる。

【0019】

上記回路は、一方のインバータINV1の蓄積ノードA1が高電位（“H”）であるときには、駆動用MISFETQ_{d2}がONとなり、他方のインバータINV2の蓄積ノードB1が低電位（“L”）となる。従って、駆動用MISFETQ_{d1}がOFFになり、蓄積ノードA1の高電位（“H”）が保持される。すなわち、一對のインバータINV1、INV2を交差結合させたラッチ回路によ

って相互の蓄積ノードA1、B1の状態が保持され、電源電圧が印加されている間情報が保存される。

【0020】

転送用MISFETQt1、Qt2のそれぞれのゲートにはワード線WLが接続され、このワード線WLによって転送用MISFETQt1、Qt2の導通、非導通が制御される。すなわち、ワード線WLが高電位（“H”）である時には、転送用MISFETQt1、Qt2がONになり、フリップフロップ回路と相補性データ線（データ線DL、 \overline{DL} ）とが電氣的に接続されるので、蓄積ノードA1、B1の電位状態（“H”または“L”）がデータ線DL、 \overline{DL} に現れ、メモリセルMCの情報として読み出される。

【0021】

メモリセルMCに情報を書き込むには、ワード線WLを“H”電位レベル、転送用MISFETQt1、Qt2をON状態にしてデータ線DL、 \overline{DL} の情報を蓄積ノードA1、B1に伝達する。

【0022】

次に、上記のような本実施の形態1のSRAMの製造方法を図4～図17を用いて説明する。なお、図4～図17においては、本実施の形態1のSRAMの製造工程をわかりやすくするために、平面図であってもハッチングを付す場合がある。

【0023】

まず、図4および図5に示すように、半導体基板（以下、単に基板と記す）1の主面（素子形成面）に素子分離部2を形成する。図4は、メモリセル約1個分の領域を示す基板1の平面図であり、図5は図4のA-A線に沿った断面に対応する断面図である。

【0024】

この素子分離部2は、たとえば以下のようにして形成することができる。まず、 $1\sim 10\ \Omega\text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなる基板1の主面をエッチングし溝部を形成する。次に、基板1を約 1000°C で熱酸化することによって、溝部の内壁に薄い酸化シリコン膜（図示は省略）を形成する。この

酸化シリコン膜は、溝部の内壁に生じたドライエッチングのダメージを回復すると共に、次の工程で溝部の内部に埋め込まれる酸化シリコン膜と基板 1 との界面に生じるストレスを緩和するために形成するものである。続いて、溝部の内部を含む基板 1 上に絶縁膜としてたとえば CVD (Chemical Vapor deposition) 法で酸化シリコン膜 3 を堆積する。次いで、化学的機械研磨 (CMP; Chemical Mechanical Polishing) 法で溝の上部の酸化シリコン膜 3 を研磨し、溝部内に酸化シリコン膜 3 を残すことによって、素子分離部 2 を形成する。

【0025】

次に、基板 1 に p 型の導電性を有する不純物 (たとえば B (ホウ素)) および n 型の導電性を有する不純物 (たとえば P (リン)) をイオン打ち込みした後、基板 1 に熱処理を施すことによってその不純物を拡散させ、基板 1 に p 型ウェル 4 および n 型ウェル 5 を形成する。この時、基板 1 には、2 つの p 型ウェル 4 および 2 つの n 型ウェル 5 の主表面である活性領域 A n 1、A n 2、A p 1、A p 2 が形成され、これらの活性領域は上記素子分離部 2 で囲まれる。

【0026】

また、追って詳細に説明するが、メモリセル MC を構成する 6 個の MISFET (転送用 MISFET Q t 1、Q t 2、駆動用 MISFET Q d 1、Q d 2 および負荷用 MISFET Q p 1、Q p 2) のうち、n チャネル型 MISFET から形成される転送用 MISFET Q t 1 および駆動用 MISFET Q d 1 は活性領域 A p 1 (p 型ウェル 3) 上に形成され、転送用 MISFET Q t 2 および駆動用 MISFET Q d 2 は活性領域 A p 1 (p 型ウェル 3) 上に形成される。一方、p チャネル型 MISFET から形成される負荷用 MISFET Q p 2 は活性領域 A n 1 (n 型ウェル 4) 上に形成され、負荷用 MISFET Q p 1 は活性領域 A n 2 (n 型ウェル 4) 上に形成される。図 4 に示すように、第 1 方向において、転送用 MISFET Q t 1 および駆動用 MISFET Q d 1 と、転送用 MISFET Q t 2 および駆動用 MISFET Q d 2 との間に、負荷用 MISFET Q p 1、Q p 2 が配置され、夫々の MISFET のチャネル長は第 1 方向に交差する第 2 方向の幅で規定される。

【0027】

次に、たとえばフッ酸系の洗浄液を用いて基板 1 (p 型ウェル 4 および n 型ウェル 5) の表面をウェット洗浄した後、基板 1 に熱処理を施すことによって p 型ウェル 4 および n 型ウェル 5 のそれぞれの表面にゲート絶縁膜として作用する清浄なゲート酸化膜 7 を形成する。

【0028】

続いて、たとえば CVD 法にて基板 1 上に導電膜として膜厚 100 nm 程度の低抵抗の多結晶シリコン膜を CVD 法で堆積する。次いで、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜 (図示は省略) をマスクとしてその多結晶シリコン膜をエッチングすることにより、多結晶シリコン膜からなるゲート電極 8 を形成する。この時、活性領域 A_{p1} 上には、後の工程で形成される転送用 MISFETQ_{t1} および駆動用 MISFETQ_{d1} のそれぞれのゲート電極 8 が形成される。また、活性領域 A_{p2} 上には、後の工程で形成される転送用 MISFETQ_{t2} および駆動用 MISFETQ_{d2} のそれぞれのゲート電極 8 が形成される。また、活性領域 A_{n1} 上には後の工程で形成される負荷用 MISFETQ_{p2} のゲート電極 8 が形成され、活性領域 A_{n2} 上には後の工程で形成される負荷用 MISFETQ_{p1} のゲート電極 8 が形成される (図 6 参照)。これらのゲート電極は、それぞれ図 6 中の A-A と直交する方向 (第 1 方向) に延在して形成され、負荷用 MISFETQ_{p1} のゲート電極 8 と駆動用 MISFETQ_{d1} のゲート電極 8 とは一体に構成されて共通となり、また、負荷用 MISFETQ_{p2} のゲート電極 8 および駆動用 MISFETQ_{d2} のゲート電極 8 とは一体に構成されて共通となる。

【0029】

次に、基板 1 上に CVD 法で酸化シリコン膜を堆積した後、この酸化シリコン膜を反応性イオンエッチング (Reactive Ion Etching; RIE) 法によって異方的にエッチングすることによって、ゲート電極 8 の側壁にサイドウォールスペーサ 9 を形成する。続いて、p 型ウェル 4 上のゲート電極 8 の両側に n 型の導電型を有する不純物 (たとえば P) を注入することによって駆動用 MISFETQ_d および転送用 MISFETQ_t の n 型半導体領域 (ソース、ドレイン (図示は省略)) を形成し、また、n 型ウェル 4 上に p 型の導電型を有する不純物 (たと

ばB)を注入することによって負荷用MISFET Q_p のp型半導体領域(ソース、ドレイン)10を形成する。なお、サイドウォールスペーサ9の形成前に低濃度のn型半導体領域およびp型半導体領域を形成し、サイドウォールスペーサ9の形成後に高濃度のn型半導体領域およびp型半導体領域を形成することによってLDD(Lightly Doped Drain)構造を形成してもよい。ここまでの工程により、メモリセルMCを構成する6個のMISFET(駆動用MISFET Q_{d1} 、 Q_{d2} 、転送用MISFET Q_{t1} 、 Q_{t2} および負荷用MISFET Q_{p1} 、 Q_{p2})が完成する。

【0030】

続いて、基板1の表面を洗浄した後、基板1上に、スパッタリング法によりCo膜およびTi膜を順次堆積する。次いで、基板1に熱処理を施し、n型半導体領域、p型半導体領域10およびゲート電極8上に、シリサイド層として $CoSi_2$ 層12を形成する。本実施の形態1においては、このような $CoSi_2$ 層12を形成する手段を例示するが、 $CoSi_2$ 層12を形成する代わりに、Ni(ニッケル)、W(タングステン)、Mo(モリブデン)、Ti(チタン)またはTa(タンタル)などを用いて、 $NiSi_x$ 層、 WSi_x 層、 $MoSi_x$ 層、 $TiSi_x$ 層、 $TaSi_x$ 層などの高融点金属シリサイド層を形成してもよい。

【0031】

次いで、未反応のCo膜およびTi膜をエッチングにより除去した後、基板1に熱処理を施し、 $CoSi_2$ 層12を低抵抗化する。

【0032】

次に、たとえばCVD法で基板1上に膜厚50nm程度の窒化シリコン膜17を堆積する。なお、窒化シリコン膜17は、後述するコンタクトホール形成時のエッチングストッパー層としての役割を果たす。

【0033】

続いて、窒化シリコン膜17の上部に層間絶縁膜としてたとえばPSG(Phosphor Silicate Glass)膜(第1絶縁膜)20を塗布し、熱処理を行い、平坦化する。次いで、このPSG膜20上にプラズマCVD法により酸化シリコン膜(第1絶縁膜)21を堆積する。また、PSG膜20の堆積を省略し、酸化シリコ

ン膜 21 を窒化シリコン膜 17 の上部に堆積した後、酸化シリコン膜 21 の表面を CMP 法で研磨してその表面を平坦化する手段を用いてもよい。次いで、酸化シリコン膜 21 上に、たとえば CVD 法で窒化シリコン膜 22 を堆積する。

【0034】

次に、図 6 に示すように、フォトレジスト膜（図示は省略）をマスクとしたエッチングにより、窒化シリコン膜 22 をパターンニングする。続いて、そのフォトレジスト膜を除去した後、残った窒化シリコン膜 22 をマスクとして酸化シリコン膜 21 および PSG 膜 20 を順次エッチングすることにより開孔部を形成する。次いで、窒化シリコン膜 22 およびその開孔部の底部に現れた窒化シリコン膜 17 をエッチングすることにより、n 型半導体領域および p 型半導体領域 10 上および転送用 MISFET Q_{t1}、Q_{t2} のゲート電極 8 上にコンタクトホール（第 3 開口部）25 を形成する。

【0035】

続いて、たとえばスパッタリング法により、コンタクトホール 25 の内部を含む酸化シリコン膜 21 上にバリア膜としてたとえば膜厚 10 nm 程度の Ti 膜および膜厚 50 nm 程度の TiN 膜を順次堆積し、500～700℃で 1 分間熱処理を施す。次いで、CVD 法により酸化シリコン膜 21 およびバリア膜上に導電膜としてたとえば W 膜（第 3 導電性膜）を堆積し、その W 膜でコンタクトホール 25 を埋め込む。次いで、エッチバック法もしくは CMP 法によって酸化シリコン膜 21 上の W 膜、TiN 膜および Ti 膜を除去し、コンタクトホール 25 内に W 膜、TiN 膜および Ti 膜を残す。これにより、コンタクトホール 25 内に TiN 膜および Ti 膜をバリア膜とし W 膜を主導電層とするプラグ 26 を形成する。次いで、基板 1 上に窒化シリコン膜 27 を堆積する。

【0036】

次に、図 7 に示すように、フォトレジスト膜 RESI1 をマスクとして窒化シリコン膜 27、酸化シリコン膜 21 および PSG 膜 20 をエッチングし、続いて窒化シリコン膜 17 をドライエッチングすることによって、n 型半導体領域および p 型半導体領域 10 上に配線溝 31 を形成する。このような配線溝（第 1 開口部）31 は、1 つのメモリセル中にて 2 つ形成され、一方の配線溝 31 は、第 1

方向において、駆動用MISFETQd1のドレイン上から負荷用MISFETQp1のドレイン上を経由し、第2方向に屈曲して駆動用MISFETQd2のゲート電極8上まで延在している。また、他方の配線溝31は、第1方向において、駆動用MISFETQd2のドレイン上から負荷用MISFETQp2のドレイン上を経由し、第2方向に屈曲して駆動用MISFETQd1のゲート電極8上まで延在している。なお、このような平面パターンがL字状の配線溝31の延在を示す平面図は、図9以降で示す。

【0037】

次に、上記フォトリソレジスト膜RESI1を除去した後、図8に示すように、配線溝31内を含む基板1上に、たとえばスパッタリング法によって膜厚50nm程度の窒化チタン(TiN)膜(第1導電性膜)32を堆積する。続いて、たとえばCVD法によってその窒化チタン(TiN)膜32上に膜厚10nm~20nm程度の窒化シリコン膜(第2絶縁膜)33を堆積する。さらに続いて、たとえばスパッタリング法によってその窒化シリコン膜33上に膜厚50nm程度の窒化チタン(TiN)膜(第2導電性膜)34を堆積する。次いで、たとえばCVD法によってその窒化チタン(TiN)膜34上にW膜35を堆積し、配線溝31を窒化チタン(TiN)膜32、窒化シリコン膜33、W膜35で埋め込む。

【0038】

次に、図9および図10に示すように、たとえば窒化シリコン膜27を研磨終点としたCMP法による研磨により窒化シリコン膜27上のW膜35、窒化チタン膜34、窒化シリコン膜33および窒化チタン膜32を除去する。これにより、配線溝31内に窒化チタン膜32を下部電極とし、窒化シリコン膜33を容量絶縁膜とし、窒化チタン膜34を上部電極とする容量素子(第1容量素子)C(図1~図3も参照)と、W膜35からなる配線36とを形成することができる。すなわち、容量素子Cの下部電極(窒化チタン膜32)は、配線溝31内の底部および側壁全周にわたって形成されるとともに、配線溝31内の底部および側壁全周において、容量素子Cの誘電体膜(窒化シリコン膜33)を介して、容量素子Cの上部電極(窒化チタン膜34)との間で容量を構成する。これにより、配

線溝 31 の底部および側壁全周を容量面積として用いることができるので、容量値を向上することができる。

【0039】

このような本実施の形態 1 の容量素子 C においては、窒化チタン膜 32 は、容量素子 C の下部電極（窒化チタン膜 32）となるばかりでなく、駆動用 MISFET Qd2（または駆動用 MISFET Qd1）および負荷用 MISFET Qp2（または負荷用 MISFET Qp1）のそれぞれのゲート電極と、駆動用 MISFET Qd1（または駆動用 MISFET Qd2）および負荷用 MISFET Qp1（または負荷用 MISFET Qp2）のそれぞれのドレイン領域と、蓄積ノード A1（または蓄積ノード B1）とを電氣的に接続する配線（局所配線）としても機能させることができる。これにより、メモリセルサイズを増大させずに、容量素子 C の容量値を向上することができる。また、窒化チタン膜 34 は、W 膜 35 から形成された配線 36 のバリアメタル膜としても機能させることができる。また、このような配線 36 を介して、負荷用 MISFET Qp1 のドレインと駆動用 MISFET Qd1 のドレインとを電氣的に接続し、負荷用 MISFET Qp2 のドレインと駆動用 MISFET Qd2 のドレインとを電氣的に接続することができる。なお、図 9 中においては、各部材の位置関係をわかりやすくするために、プラグ 26 および配線 36（容量素子 C）をハッチングを付して示してある。

【0040】

このように、容量素子 C を配線溝 31 の底部および側壁全周を利用して形成することにより、本実施の形態 1 の SRAM のメモリセル面積を大きくすることなく、SRAM のメモリセル MC（図 1～図 3 参照）に α 線等によるソフトエラー耐性の低下を防ぐための容量を付加することが可能となる。すなわち、ソフトエラー耐性の低下を防ぐための容量を SRAM のメモリセル MC に付加した場合でも、本実施の形態 1 の SRAM のメモリセル MC を有するチップのサイズが大きくなってしまふことを抑制することができる。

【0041】

たとえば配線溝 31 が形成された PSG 膜 20、酸化シリコン膜 21 またはそ

の両方の膜厚を厚くし、容量素子Cの上部電極および下部電極の面積を増大することによって容量素子Cの容量値を増大し、より高いソフトエラー耐性を実現することができる。また、容量素子Cの容量絶縁膜として、窒化シリコン膜33の代わりに窒化シリコン膜33より比誘電率の高い絶縁膜（たとえば酸化タンタル膜など）を用いることによって、容量素子Cの容量値を増大し、より高いソフトエラー耐性を実現することもできる。

【0042】

続いて、図11に示すように、たとえばCMP法による研磨によって酸化シリコン膜21上の窒化シリコン膜27を除去する。

【0043】

次に、図12および図13に示すように、基板1上に酸化シリコン膜を堆積することによって層間絶縁膜38を形成する。続いて、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜（図示は省略）をマスクとしてその層間絶縁膜38をエッチングし、プラグ26に達するコンタクトホール39および配線36に達するコンタクトホール40を形成する。この時、コンタクトホール40の底部に容量素子Cが現れないようにコンタクトホール40の開孔位置を設定する。

【0044】

続いて、コンタクトホール39、40の内部を含む層間絶縁膜38上に窒化シリコン膜41を堆積する。この窒化シリコン膜41の膜厚は、たとえば容量素子Cを形成する窒化チタン膜32、34および窒化シリコン膜33の合計の膜厚より厚くなるようにする。次いで、その窒化シリコン膜41を異方的にエッチングすることによって、窒化シリコン膜41をコンタクトホール39、40の側壁にのみ残す。たとえば、コンタクトホール40の開孔位置が配線溝31の側壁方向にずれてしまい、コンタクトホール40の底部に容量素子Cの上部電極および下部電極が現れてしまった場合には、後の工程でコンタクトホール40内にプラグを形成した際に、そのプラグによって容量素子Cの上部電極と下部電極とが短絡されてしまうことが懸念される。そこで、本実施の形態1では、上記したようにコンタクトホール40の側壁に窒化シリコン膜41を形成することによって、容

量素子Cの上部電極と下部電極とが短絡してしまうことを予め防ぐものである。
なお、本実施の形態1では、コンタクトホール39、40の側壁に窒化シリコン膜41を形成する場合について例示したが、窒化シリコン膜41の代わりに酸化シリコン膜を形成してもよい。酸化シリコン膜を用いる場合には、層間絶縁膜38とのエッチングレート之差が大きくなるような成膜方法でその酸化シリコン膜を成膜することによって、その酸化シリコン膜をコンタクトホール39、40の側壁に残すことができる。

【0045】

続いて、たとえばスパッタリング法によってコンタクトホール39、40内を含む層間絶縁膜38上にバリア膜としてたとえば膜厚10nm程度のTi膜および膜厚50nm程度のTiN膜を順次堆積し、約500～700℃で1分間熱処理を施す。次いで、たとえばCVD法によりバリア膜および層間絶縁膜38上に導電膜としてたとえばW膜を堆積し、そのW膜によってコンタクトホール39、40を埋め込む。その後、層間絶縁膜38上のTi膜、TiN膜およびW膜を除去し、そのTi膜、TiN膜およびW膜をコンタクトホール39、40内に残すことによって、コンタクトホール39、40内にそれぞれプラグ42、43を形成する。なお、図12中において、プラグ42、43は、ハッチングを付して示してある。

【0046】

次に、図14および図15に示すように、層間絶縁膜38上に導電膜としてTi膜、Al（アルミニウム）膜および窒化チタン膜を順次下層より堆積する。続いて、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクとしてそのTi膜、Al膜および窒化チタン膜をエッチングすることにより、配線44、45を形成する。この時、配線44は、プラグ26、42を介して駆動用MISFETQd1、Qd2、負荷用MISFETQp1、Qp2のソース、転送用MISFETQt1、Qt2のソース、ドレインのいずれかと電氣的に接続する。また、転送用MISFETQt1、Qt2のそれぞれのゲート電極8をプラグ26、42を介して電氣的に接続する配線45は、ワード線WL（図1～図3参照）となる。なお、図14中において、配線44、4

5 は、ハッチングを付して示してある。

【0047】

次に、図16および図17に示すように、配線44、45の上部を含む層間絶縁膜38上に窒化シリコン膜46を堆積する。続いて、その窒化シリコン膜46を異方的にエッチングすることによって、窒化シリコン膜46を配線44、45の側壁にのみ残す。

【0048】

続いて、たとえば基板1上に酸化シリコン膜を堆積することによって層間絶縁膜47を形成する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜（図示は省略）をマスクとしてその層間絶縁膜47をエッチングすることにより、配線44に達するコンタクトホール48およびプラグ43に達するコンタクトホール49を形成する。

【0049】

たとえば、コンタクトホール49の開孔位置が配線45の側壁方向にずれてしまい、コンタクトホール49の側壁に配線45が現れてしまった場合には、後の工程でコンタクトホール49内にプラグを形成した際に、そのプラグと配線45とが短絡してしまう不具合が懸念される。そこで、本実施の形態1では、上記したように配線45の側壁に側壁絶縁膜である窒化シリコン膜46を形成し、窒化シリコン膜46と層間絶縁膜47を形成する酸化シリコン膜とのエッチングレートの差を利用して、コンタクトホール49の開孔時にコンタクトホール49の側壁に配線45が現れてしまうことを防ぐものである。それにより、配線45とコンタクトホール49内に形成されるプラグとが短絡してしまうことを予め防ぐことができる。なお、本実施の形態1では、配線44、45の側壁に窒化シリコン膜46を形成する場合について例示したが、窒化シリコン膜46の代わりに酸化シリコン膜を形成してもよい。酸化シリコン膜を用いる場合には、層間絶縁膜47とのエッチングレートの差が大きくなるような成膜方法でその酸化シリコン膜を成膜することによって、その酸化シリコン膜を配線44、45の側壁に残すことができる。なお、配線44、45および側壁絶縁膜（窒化シリコン膜46）形成後であって、層間絶縁膜47形成前に層間絶縁膜47をエッチングする時のス

トッパーとしての役割を果たすエッチングストッパー層を堆積しても良い。エッチングストッパー層は、たとえば100nm以下の膜厚の窒化シリコン膜で形成される。これにより、コンタクトホール48、49の形成工程におけるオーバエッチ量を制御しやすくなる。なお、以下の変形例および他の実施の形態において、層間絶縁膜47等の層間絶縁膜形成前にこの種のエッチングストッパー層を設けてもよいのは無論である。

【0050】

次いで、コンタクトホール48、49内にそれぞれプラグ50、51を形成する。このプラグ50、51は、たとえば上記プラグ42、43を形成した工程と同様の工程によって形成することができる。

【0051】

続いて、層間絶縁膜47上にプラグ50と接続する配線52と、プラグ50およびプラグ51と接続する配線53とを形成することによって本実施の形態1のSRAMを製造する。この配線52、53は、たとえば上記配線44、45を形成した工程と同様の工程によって形成することができる。また、層間絶縁膜47、プラグ50、51、および配線52、53を形成した工程と同様の工程を繰り返すことによって、さらに多層に配線を形成してもよい。なお、図16中において、配線52、53は、ハッチングを付して示してある。

【0052】

ここで、上記配線52によって、たとえば駆動用MISFETQd1、Qd2のソースに基準電圧Vssを供給する。また、配線53によって負荷用MISFETQp1、Qp2のソースに電源電圧Vccを供給する。また、配線53によって容量素子Cの上部電極（窒化チタン膜34（図10参照））に電源電圧Vccを供給する。また、容量素子Cの下部電極（窒化チタン膜32（図10参照））は、駆動用MISFETQd1、Qd2のドレインおよび負荷用MISFETQp1、Qp2のドレインと電氣的に接続する。その結果、容量素子Cは、蓄積ノードA1、B1と電源電圧Vccとの間に電氣的に接続される容量とすることができる。また、転送用MISFETQt1、Qt2のソース、ドレインの一方と電氣的に接続されたさらに他の配線52をデータ線DL、/DLとする。これ

により、前述の図 1 に示した回路を実現することができる。

【0053】

次に、前述の図 3 に示した、蓄積ノード A 1 と蓄積ノード B 1 との間に電氣的に接続される容量素子 C の形成方法について説明する。

【0054】

前述の図 8 に示した窒化チタン (TiN) 膜 (第 1 導電性膜) 3 2 および窒化シリコン膜 (第 2 絶縁膜) 3 3 を堆積するまでの工程は同じである。窒化チタン膜 3 4 を堆積する前に、図 1 8 に示すように、2 つある配線溝 3 1 のうちの一方において窒化シリコン膜 3 3 をエッチングし、その窒化シリコン膜 3 3 に容量素子 C の下部電極となる窒化チタン膜 3 2 に達する貫通孔 TH を形成する。このような貫通孔 TH の存在下で容量素子 C の上部電極となる窒化チタン膜 3 4 を成膜すると、2 つある配線溝 3 1 のうちの一方においては、貫通孔 TH から窒化チタン膜 3 4 が下層の窒化チタン膜 3 2 に達し、窒化チタン膜 3 2 と窒化チタン膜 3 4 とが電氣的に接続される。その後の工程は前述と基本的に同じであるが、図 1 9 および図 2 0 に示すように、配線 5 2、5 3 の平面パターンが図 1 6 と異なる。すなわち、プラグ 5 0 と電氣的に接続し負荷用 MISFET Q p 1、Q p 2 のソースへ電源電圧 V c c の供給を行う配線 5 3 (V c c) と、容量素子 C の上部電極 3 4 におよび 2 つのプラグ 5 1 と電氣的に接続する配線 5 3 A とは、それぞれ別の配線として配置する。これにより、配線 5 3 A により、2 つある配線溝 3 1 に形成された 2 つの上部電極 (窒化チタン膜 3 4) は夫々、プラグ 5 1 を介して電氣的に接続され、2 つある配線溝 3 1 のうちの他方において、容量素子 C が形成される。図 1 8 に示す例では、容量素子 C の下部電極 (窒化チタン膜 3 2) は一方の蓄積ノード B 1 に電氣的に接続され、その容量素子 C の上部電極 (窒化チタン膜 3 4) は他方の蓄積ノード A 1 に電氣的に接続される。このように、2 つある配線溝 3 1 のうちの一方において、その容量素子 C の下部電極 (窒化チタン膜 3 2) は一方の蓄積ノード A 1 (または蓄積ノード B 1) に電氣的に接続され、上部電極 (窒化チタン膜 3 4) は他方の蓄積ノード B 1 (または蓄積ノード A 1) に電氣的に接続され、その配線溝 3 1 の底部および側壁全周にわたって容量素子 C を形成することができる。このような構成とすることによって、容量素

子Cは、蓄積ノードA1と蓄積ノードB1との間に電氣的に接続される容量とすることができる。すなわち、前述の図3に示した回路を実現することができる。

【0055】

なお、図示しないが、たとえば、配線52、53の上部に層間絶縁膜を介して形成された配線層に、配線53（Vcc）に電氣的に接続し、メモリセルMCへ電源電圧Vccを供給する配線が形成される。

【0056】

なお、蓄積ノードA1と蓄積ノードB1との間に電氣的に接続される容量素子Cの形成方法は、上記に限定されず、図18において、貫通孔THを設けなくても蓄積ノードA1と蓄積ノードB1との間の容量素子Cを形成することができる。この場合、容量素子Cの一方の電極は一方の配線溝31に形成された下部電極（窒化チタン膜32）で構成され、他方の電極は他方の配線溝31に形成された下部電極（窒化チタン膜32）で構成され、これらの容量素子Cの電極（窒化チタン膜32）間には、誘電体膜（窒化シリコン膜33）を介してフローティング状態の電極（窒化チタン膜34）が形成される。前述の蓄積ノードA1・蓄積ノードB1間の容量素子に比べ、容量値は小さくなるが、製造工程を低減できる。

【0057】

（実施の形態2）

次に、本実施の形態2の製造方法を図21～図28を用いて説明する。なお、本実施の形態2においても、本実施の形態2のSRAMの製造工程をわかりやすくするために、平面図であってもハッチングを付す場合がある。

【0058】

本実施の形態2のSRAMの製造工程は、前記実施の形態1において図4～図7を用いて説明した工程までは同様である。

【0059】

その後、図21に示すように、前記実施の形態1における窒化チタン膜32（図8参照）と同様の窒化チタン膜32を配線溝31内を含む基板1上に堆積する。続いて、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜RESI2をマスクとしたエッチングにより、窒化シリコン膜27上の窒化チ

タン膜 32 を所定量残して除去し、配線溝 31 内の窒化チタン膜 32（容量素子 C の下部電極）を残す。

【0060】

次に、フォトリソグロウ膜 RESI2 を除去した後、図 22 に示すように、前記実施の形態 1 における窒化シリコン膜 33（図 8 参照）と同様の窒化シリコン膜 33、および窒化チタン膜 34（図 8 参照）と同様の窒化チタン膜 34 を配線溝 31 内を含む基板 1 上に順次堆積する。続いて、フォトリソグラフィ技術によってパターニングされたフォトリソグロウ膜 RESI3 をマスクとしたエッチングにより、容量素子 C の容量絶縁膜（誘電体膜）である窒化シリコン膜 33 および窒化チタン膜 34（容量素子 C の上部電極）をパターニングで形成する。ここまでの工程により、窒化チタン膜 32 を下部電極とし、窒化シリコン膜 33 を容量絶縁膜とし、窒化チタン膜 34 を上部電極とする容量素子 C を形成することができる。この時、上記窒化チタン膜 32（下部電極）を窒化シリコン膜 33 によって覆い、窒化シリコン膜 27 上にて窒化シリコン膜 33 および窒化チタン膜 34（上部電極）が配線溝 31 の片側（図 22 中において、プラグ 26 が形成されている方向とは反対側）に下層の窒化チタン膜 32 よりも大きく延在するようにパターニングを行うが、その理由については後述する。

【0061】

本実施の形態においても、前述の実施の形態 1 と同様に、容量素子 C の下部電極（窒化チタン膜 32）は、配線溝 31 内の底部および側壁全周にわたって形成されるとともに、配線溝 31 内の底部および側壁全周において、容量素子 C の誘電体膜（窒化シリコン膜 33）を介して、容量素子 C の上部電極（窒化チタン膜 34）との間で容量を構成する。これにより、配線溝 31 の底部および側壁全周を容量面積として用いることが出来るので、容量値を向上することができる。

【0062】

次に、上記フォトリソグロウ膜 RESI3 を除去した後、図 23 および図 24 に示すように、基板 1 上に配線溝 31 を埋め込む酸化シリコン膜を堆積することによって層間絶縁膜（第 4 絶縁膜）38 を形成する。続いて、フォトリソグラフィ技術によってパターニングされたフォトリソグロウ膜（図示は省略）をマスクとし

てその層間絶縁膜 38 をエッチングし、プラグ 26 に達するコンタクトホール 39 および窒化シリコン膜 27 上にて容量素子 C の上部電極である窒化チタン膜 34 に達するコンタクトホール（接続孔）40 を形成する。

【0063】

続いて、コンタクトホール 39、40 内に、それぞれ前記実施の形態 1 におけるプラグ 42、43（図 12 および図 13 参照）と同様のプラグ（導電層）42、43 を形成する。なお、図 23 中において、プラグ 42、43 は、ハッチングを付して示してある。

【0064】

上記したように、窒化シリコン膜 33 および窒化チタン膜 34 は、窒化シリコン膜 33 が窒化チタン膜 32 を覆い、窒化シリコン膜 27 上にて窒化シリコン膜 33 および窒化チタン膜 34 が配線溝 31 の片側に下層の窒化チタン膜 32 よりも大きく延在するようにパターニングされているので、コンタクトホール 40 が窒化チタン膜 32 まで達し、プラグ 43 によって容量素子の上部電極と下部電極とが短絡されてしまう不具合を防ぐことができる。また、窒化シリコン膜 27 上に窒化シリコン膜 33 および窒化チタン膜 34 が延在するようにパターニングし、窒化チタン膜 27 上にてコンタクトホール 40 の穿孔を行っているので、平面においてコンタクトホール 40 の開孔位置に余裕ができる。すなわち、コンタクトホール 40 の開孔位置が所定の位置から外れ、コンタクトホール 40 が配線溝 31 の下部のゲート電極 8 に達してしまい、プラグ 43 とゲート電極 8 とが短絡してしまう不具合を防ぐことができる。

【0065】

次に、図 25 および図 26 に示すように、層間絶縁膜 38 上に Ti 膜、Al 膜 および窒化チタン膜を順次下層より堆積する。続いて、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクとしてその Ti 膜、Al 膜 および窒化チタン膜をエッチングすることにより、配線 44、45 を形成する。この時、配線 44 は、プラグ 26、42 を介して駆動用 MISFET Qd1、Qd2 のソース、負荷用 MISFET Qp1、Qp2 のソース、転送用 MISFET Qt1、Qt2 のソース、ドレインのいずれかと電氣的に接続

する。また、配線 44 の一部は、プラグ 43 を介して容量素子 C の上部電極（窒化チタン膜 34）と電氣的に接続する。さらに、転送用 MISFET Q_{t1} 、 Q_{t2} のそれぞれのゲート電極 8 をプラグ 26、42 を介して電氣的に接続する配線 45 は、ワード線 WL（図 1～図 3 参照）となる。なお、図 25 中において、配線 44、45 は、ハッチングを付して示してある。

【0066】

その後、図 27 および図 28 に示すように、前記実施の形態 1 にて図 16 および図 17 を用いて説明した工程と同様の工程を経て、層間絶縁膜 47、コンタクトホール 48、プラグ 50 および配線 52、53 を形成し、本実施の形態 2 の SRAM を製造する。本実施の形態 2 においても、前記実施の形態 1 と同様に、このような層間絶縁膜 47、プラグ 50 および配線 52 を形成した工程と同様の工程を繰り返すことによって、さらに多層に配線を形成してもよい。なお、図 27 中において、配線 52、53 は、ハッチングを付して示してある。

【0067】

ここで、上記配線 52 によって、駆動用 MISFET Q_{d1} 、 Q_{d2} のソースに基準電圧 V_{ss} を供給する。また、配線 53 によって負荷用 MISFET Q_{p1} 、 Q_{p2} のドレインに電源電圧 V_{cc} を供給する。また、配線 53 によって容量素子 C の上部電極（窒化チタン膜 34（図 22 参照））に電源電圧 V_{cc} を供給する。また、容量素子 C の下部電極（窒化チタン膜 32（図 22 参照））は、負荷用 MISFET Q_{p1} 、 Q_{p2} のソースと電氣的に接続する。その結果、容量素子 C は、蓄積ノード A1、B1 と電源電圧 V_{cc} との間に電氣的に接続される容量とすることができる。また、転送用 MISFET Q_{t1} 、 Q_{t2} のソース、ドレインの一方と電氣的に接続されたさらに他の配線 52 をデータ線 DL、 \overline{DL} とする。これにより、前記実施の形態 1 にて図 1 に示した回路を実現することができる。

【0068】

また、容量素子 C の上部電極となる窒化チタン膜 34（図 22 参照）をパターンニングする際に、図 29 に示すような平面パターンとし、窒化チタン膜 34 を配線 53（図 29 中での図示は省略）と電氣的に接続せずに、配線 52（図 29 中

での図示は省略)と電氣的に接続することによって、容量素子Cの上部電極(窒化チタン膜34)に基準電圧 V_{ss} を供給するようにする。それにより、容量素子Cは、蓄積ノードA1、B1と基準電圧 V_{ss} との間に電氣的に接続される容量とすることができ、前記実施の形態1にて図2に示した回路を実現することができる。

【0069】

また、容量素子Cの上部電極となる窒化チタン膜34(図22参照)をパターンニングする際に、図100に示すような平面パターンとし、2つの配線溝31の容量素子Cの上部電極(窒化チタン膜34)を一体に構成することにより、容量素子Cは、蓄積ノードA1と蓄積ノードB1との間に電氣的に接続される容量とすることができ、前記実施の形態1にて図3に示した回路を実現することができる。

【0070】

このような本実施の形態の2のSRAMにおいても、前記実施の形態1のSRAMと同様の効果を得ることができる。

【0071】

(実施の形態3)

図30は、たとえばSRAMのメモリセルが形成されたチップの平面図である。

【0072】

図30に示すように、チップCHPには、SRAMのメモリセルが形成されるメモリセル領域MCA、ランダムロジック領域RLA、CPU(Central Processing Unit)領域CA、周辺回路領域ACAなどが配置されている。

【0073】

メモリセル領域MCAにおいては、マトリクス状に配置された複数のワード線および複数のビット線とそれらの交点に配置された複数のSRAMのメモリセルとによって形成されたメモリアレイが配置されている。

【0074】

周辺回路領域ACAにおいては、たとえばワードドライバ、データ線選択回路

などの制御回路、入力回路、出力回路、欠陥メモリセルを救済する救済回路および基準電源回路（降圧回路を含む）などが配置されている。

【0075】

図31は、上記基準電源回路の説明図である。

【0076】

図31に示す基準電源回路SGCは、電源電圧 V_{cc} （たとえば3.3V）の入力に対して、たとえばSRAMのメモリセルを動作させるための一定の内部動作電圧 V_{DDi} （たとえば1.5V）およびSRAMのメモリセルにデータを保持するための一定のデータ保持電圧 V_{DR} （たとえば1V）を出力するためのものである。本実施の形態3においては、たとえばサージなどの影響によって、この内部動作電圧 V_{DDi} およびデータ保持電圧 V_{DR} の出力が不安定になってしまうことを防ぐために、基準電源回路SGCから内部動作電圧 V_{DDi} およびデータ保持電圧 V_{DR} が出力される配線と接地電位との間に容量素子（第2容量素子）C1を電氣的に接続するものである。また、サージ電圧などの大きなひずみ波からの影響を防ぐ目的から、容量素子C1には大きな容量値が求められる。

【0077】

図32は、上記メモリセル領域MCA、CPU領域CA（ランダムロジック領域RLA）および周辺回路領域ACAのそれぞれの要部を示す断面図である。

【0078】

本実施の形態3の半導体集積回路装置は、前記実施の形態1および前記実施の形態2で説明した製造工程とほぼ同様の製造工程で製造するが、詳しい製造工程については後述する。

【0079】

図32に示すように、メモリセル領域（第1領域）MCA、CPU領域CA（ランダムロジック領域RLA）および周辺回路領域（第2領域）ACAのそれぞれには、p型半導体領域10をソース、ドレインとするpチャネル型MISFETおよびn型半導体領域11をソース、ドレインとするnチャネル型MISFETが形成されている。また、周辺回路領域ACAにおいては、層間絶縁膜38に形成された孔部に上記容量素子C1が形成されている。この容量素子C1の下部

電極は、プラグ 26 を介して n 型半導体領域 11 と電氣的に接続されている。さらに、本実施の形態 3 では、前記実施の形態 1、2 で説明した配線 52 と同様の配線 52 の上層に層間絶縁膜 55 が形成され、その層間絶縁膜 55 に形成されたプラグ 57 を介して、さらに上層の配線 58 と配線 52 とが電氣的に接続されている。

【0080】

ところで、図 33 および図 34 は、それぞれ本発明者らが上記容量素子 C1 と比較および検討したいいわゆる MOS 型構造の容量素子 C11 を形成した場合の平面図および断面図である。この容量素子は、前述の基板 1 (p 型ウェル 4 (n 型ウェル 5 でもよい)) を下部電極とし、ゲート酸化膜 7 を容量絶縁膜とし、ゲート電極 8 を上部電極としたものである。

【0081】

本発明者らの計算によれば、容量素子 C11 の電極が平面において縦が $4.34 \mu\text{m}$ であり、横が $56.7 \mu\text{m}$ であった場合に、電極面積 (基板 1 上で容量素子 C11 が占める面積) は $4.34 \times 56.7 = 246.078 \mu\text{m}^2$ となる。ゲート酸化膜 7 の膜厚を、たとえば $2 \mu\text{m}$ とすると、容量素子 C11 の容量値は、 $3.9 \times 8.854 \times 10^{-12} \times 246.078 \times 10^{-12} / 2 / 10^{-9} = 4.2846 \text{ pF}$ となる。

【0082】

一方、図 32 に示した本実施の形態 3 の容量素子 C1 については、容量素子 C1 が形成されている層間絶縁膜 38 の膜厚および容量素子 C1 を形成するためにその層間絶縁膜 38 に開孔された孔部の径を、たとえば、それぞれ $0.8 \mu\text{m}$ および $0.18 \mu\text{m}$ とすると、容量素子 C1 の容量値は、 $3.9 \times 8.854 \times 10^{-12} \times 0.477594 \times 10^{-12} / 2 / 10^{-9} = 8.2458 \text{ fF}$ となる。つまり、本実施の形態 3 の容量素子 C1 を約 520 個並べて形成することで、上記容量素子 C11 と同等の容量値を実現できることになる。

【0083】

ここで、13 列 40 行の配置とすることで 520 個の本実施の形態 3 の容量素子 C1 が形成できることから、容量素子 C1 が最小ピッチである $0.18 \mu\text{m}$ で

形成可能であるとする、平面で520個の容量素子C1が形成される領域は、列方向で $13 \times (0.18 + 0.18) + 0.18 = 4.86 \mu\text{m}$ となり、行方向で $40 \times (0.18 + 0.18) + 0.18 = 14.58 \mu\text{m}$ となる。つまり、520個の容量素子C1が形成される領域の面積は、 $4.86 \times 14.58 = 70.8588 \mu\text{m}^2$ となる。この結果、本実施の形態3の容量素子C1を用いることにより、上記容量素子C11を形成した場合に比べて、基板1上にて容量素子が形成される面積を約1/3以下にすることが可能となる。すなわち、本実施の形態3の容量素子C1を用いることにより、本実施の形態3の半導体集積回路装置を有するチップのサイズを縮小化することが可能となる。

【0084】

図32では、SRAMのメモリセル（メモリセル領域MCA）に前記実施の形態1、2で説明したような容量素子C（たとえば図10または図22を参照）が形成されていない場合について図示したが、図35に示すように、SRAMのメモリセル（メモリセル領域MCA）に容量素子Cが形成された構成としてもよい。

【0085】

次に、本実施の形態3の半導体集積回路装置の製造工程について、図36～図48を用いて説明する。なお、図36～図48は、図32に示した周辺回路領域ACAの一部を拡大して図示したものであり、特に、図38は上記容量素子C1が形成される領域の平面図を示したものであり、図39、図44および図47は、図38中に示したA-A線に沿った断面を工程毎に示したものである。

【0086】

本実施の形態3の半導体集積回路装置の製造工程は、たとえば前記実施の形態1で図4～図6を用いて説明した工程までは同様である。その後、図36に示すように、前記実施の形態1で示した層間絶縁膜38（図13参照）、コンタクトホール（図13参照）39およびプラグ42（図13参照）と同様の層間絶縁膜38、コンタクトホール（第3開口部）39およびプラグ42を形成する。

【0087】

次に、図37～図39に示すように、フォトリジスト膜（図示は省略）をマス

クとして層間絶縁膜（第1絶縁膜）38および窒化シリコン膜（第1絶縁膜）27をエッチングし、上記容量素子C1（図33参照）が形成される位置にプラグ26に達する孔部（第2開口部）VHを形成する。この孔部VHは、たとえば前述した13列40行のように複数個開孔される。続いて、図40に示すように、孔部VHの内部を含む層間絶縁膜38上に、前記実施の形態1にて用いた窒化チタン膜32（図8参照）と同様の窒化チタン膜32を堆積する。

【0088】

次に、図41に示すように、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜RESI4をマスクとしたエッチングにより、窒化チタン膜32をパターンニングする。これにより、後の工程で完成する容量素子C1の下部電極（窒化チタン膜32）を孔部VH内に形成する。

【0089】

上記フォトレジスト膜RESI4を除去した後、図42に示すように、前記実施の形態1にて用いた窒化シリコン膜33（図8参照）および窒化チタン膜34（図8参照）と同様の窒化シリコン膜33および窒化チタン膜34を孔部VHの内部を含む層間絶縁膜38上に順次堆積する。

【0090】

次に、図43および図44に示すように、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜RESI5をマスクとしたエッチングにより、窒化シリコン膜33および窒化チタン膜34をパターンニングし、窒化チタン膜32を下部電極とし、窒化シリコン膜33容量絶縁膜とし、窒化チタン膜34を上部電極とする容量素子C1を孔部VH内に形成する。このように、容量素子Cの下部電極（窒化チタン膜32）は、孔部VH内の底部および側壁全周にわたって形成されるとともに、孔部VH内の底部および側壁全周において、容量素子Cの誘電体膜（窒化シリコン膜33）を介して、容量素子Cの上部電極（窒化チタン膜34）との間で容量を構成する。これにより、孔部VH内の底部および側壁全周を容量面積として用いることが出来るので、容量値を向上することができる。

【0091】

本実施の形態 3 では、容量素子 C 1 の容量絶縁膜として窒化シリコン膜 3 3 を用いたが、窒化シリコン膜 3 3 の代わりに窒化シリコン膜 3 3 より比誘電率の高い絶縁膜（たとえば酸化タンタル膜など）を用いてもよい。それにより、容量素子 C 1 の容量値を増大することができる。

【0092】

上記フォトレジスト膜 RES I 5 を除去した後、図 4 5 に示すように、孔部 V H 内を含む層間絶縁膜 3 8 上に、たとえばスパッタリング法にて T i 膜 4 4 A を堆積する。続いて、スパッタリング法にて層間絶縁膜 3 8 上に孔部 V H を埋め込む A l 膜 4 4 B を堆積する。さらに続いて、その A l 膜 4 4 B 上に窒化チタン膜 4 4 C を堆積する。

【0093】

次に、図 4 6 および図 4 7 に示すように、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜（図示は省略）をマスクとしてその T i 膜 4 4 A、A l 膜 4 4 B および窒化チタン膜 4 4 C をエッチングすることにより、配線 4 4 を形成する。

【0094】

次に、図 4 8 に示すように、上記層間絶縁膜 3 8、コンタクトホール 3 9、プラグ 4 2 および配線 4 4 を形成した工程と同様の工程を経て、配線 4 4 の上層に層間絶縁膜 4 7、コンタクトホール 4 8、プラグ 5 0 および配線 5 2 を形成する。配線 5 2 と配線 4 4 とは、プラグ 5 0 を介して電氣的に接続される。その後、さらに同様の工程を繰り返して、層間絶縁膜 5 5（図 3 2 参照）、プラグ 5 7（図 3 2 参照）および配線 5 8（図 3 2 参照）を形成し、本実施の形態 3 の半導体集積回路装置を製造する。

【0095】

ところで、上記の本実施の形態 3 では、容量素子 C 1 を形成するための平面円形の孔部 V H を形成する場合について示したが（図 3 8 参照）、図 4 9 に示すように、孔部 V H を形成する代わりに層間絶縁膜 3 8 に溝部（第 2 開口部）V H 1 を複数本形成し、この溝部 V H 1 内に容量素子 C 1 を形成してもよい。

【0096】

また、上記の本実施の形態 3 では、複数の孔部 V H を用いて容量素子 C 1 を形成する場合について説明したが、このような容量素子 C 1 が形成されたチップ C H P (図 30 参照) に図 33 および図 34 を用いて説明したような M O S 型構造の容量素子 C 1 1 を混在させて形成してもよい。M O S 型構造の容量素子 C 1 1 を形成する場合には、容量絶縁膜となるゲート酸化膜 7 を熱酸化処理によって形成することから、上記本実施の形態 3 の容量素子 C 1 に比べて容量絶縁膜を薄く形成することができる。そのため、容量電極の面積が同一であれば、容量素子 C 1 1 の容量値は容量素子 C 1 の容量値より大きくすることができる。

【0097】

(実施の形態 4)

本実施の形態 4 は、前記実施の形態 3 で示した容量素子 C 1 (図 43 参照) を他の製造工程で形成するものである。

【0098】

本実施の形態 4 の半導体集積回路装置の製造工程は、前記実施の形態 3 で図 36 および図 40 を用いて説明した工程までは同様である。

【0099】

その後、図 50 に示すように、たとえば P (リン) などの n 型の導電性を有する不純物をドーピングしたアモルファスシリコン膜 (第 1 導電性膜) 32 A を C V D 法によって窒化チタン膜 32 上に堆積する。続いて、減圧雰囲気中にてそのアモルファスシリコン膜 32 A の表面に S i H₄ (モノシラン) ガスを供給し、次いで基板 1 に熱処理を施す。これにより、アモルファスシリコン膜 32 A を多結晶化させ、その表面に凹凸 (シリコン粒) を形成する。

【0100】

次に、図 51 に示すように、フォトレジスト膜 R E S I 4 をマスクとしたエッチングにより、アモルファスシリコン膜 32 A および窒化チタン膜 32 をパターンニングする。これにより、後の工程で完成する容量素子の下部電極を孔部 V H 内に形成する。

【0101】

上記フォトレジスト膜 R E S I 4 を除去した後、図 52 に示すように、前記実

施の形態 3 にて図 4 2 を用いて説明した工程と同様に、窒化シリコン膜 3 3 および窒化チタン膜 3 4 を孔部 V H の内部を含む層間絶縁膜 3 8 上に順次堆積する。続いて、図 5 3 および図 5 4 に示すように、フォトレジスト膜 R E S I 5 をマスクとしたエッチングにより、窒化シリコン膜 3 3 および窒化チタン膜 3 4 をパターンニングし、窒化チタン膜 3 2 およびアモルファスシリコン膜 3 2 A を下部電極とし、窒化シリコン膜 3 3 を容量絶縁膜とし、窒化チタン膜 3 4 を上部電極とする容量素子 C 1 を孔部 V H 内に形成する。なお、図 5 4 は、その容量素子 C 1 が形成される領域の断面図を示したものである。

【0102】

このような本実施の形態 4 の容量素子 C 1 の形成手段より、容量素子 C 1 の下部電極（アモルファスシリコン膜 3 2 A）の表面に凹凸を形成することによって、容量素子 C 1 の電極面積を、たとえば 2 倍程度以上増加することができる。それにより、本実施の形態 4 の容量素子 C 1 によれば、前記実施の形態 3 における容量素子 C 1 に比べて、より大きな容量値を得ることができる。

【0103】

その後、前記実施の形態 3 にて図 4 5 ～図 4 8 を用いて説明した工程と同様の工程を経て本実施の形態 4 の半導体集積回路装置を製造する。

【0104】

上記のような容量素子 C 1 における下部電極の凹凸の製造工程を前記実施の形態 1、2 における容量素子 C の製造工程に適用してもよい。それにより、前記実施の形態 1、2 においてもより大きな容量値を得ることができる。

【0105】

（実施の形態 5）

本実施の形態 5 は、たとえば前記実施の形態 3 で示した容量素子 C 1（図 4 3 参照）と同様の容量素子を他の工程で形成するものである。

【0106】

本実施の形態 5 の半導体集積回路装置の製造工程は、たとえば前記実施の形態 1 で図 4 ～図 6 を用いて説明した工程までは同様である。その後、図 5 5 に示すように、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜

(図示は省略)をマスクとして素子分離部2(酸化シリコン膜3)上の酸化シリコン膜21およびPSG膜20をエッチングし、窒化シリコン膜(第3絶縁膜)17に達する孔部(第2開口部)25Aを形成する。本実施の形態5において、この孔部25Aは、前記実施の形態3における孔部VHと同様に複数個開孔されるものであり、たとえば平面で13列40行のように配列される(後述の図59参照)。

【0107】

次に、図56に示すように、孔部25A内を含む基板1上に前記実施の形態1にて示した窒化チタン膜32(図8参照)と同様の窒化チタン膜(第1導電性膜)26Aを堆積する。続いて、フォトリソist膜をマスクとしたエッチングでその窒化チタン膜26Aをパターンニングする。

【0108】

次に、図57に示すように、孔部25A内を含む基板1上に前記実施の形態1にて示した窒化シリコン膜33(図8参照)および窒化チタン膜34(図8参照)と同様の窒化シリコン膜(第2絶縁膜)26Bおよび窒化チタン膜(第2導電性膜)26Cを堆積する。続いて、フォトリソist膜をマスクとしたエッチングによりその窒化チタン膜26Cをパターンニングし、窒化チタン膜26Aを上部電極とし、窒化シリコン膜26Bを容量絶縁膜とし、窒化チタン膜26Cを上部電極とする容量素子C1を孔部25A内に形成する。このように、容量素子Cの下部電極(窒化チタン膜26A)は、孔部25A内の底部および側壁全周にわたって形成されるとともに、孔部25A内の底部および側壁全周において、容量素子Cの誘電体膜(窒化シリコン膜26B)を介して、容量素子Cの上部電極(窒化チタン膜26C)との間で容量を構成する。これにより、孔部26A内の底部および側壁全周を容量面積として用いることが出来るので、容量値を向上することができる。

【0109】

本実施の形態5では、容量素子C1は素子分離部2(酸化シリコン膜3)上に位置していることから、容量素子C1の上部電極および下部電極のそれぞれを引き出すためのプラグは酸化シリコン膜21上に形成することになる。そこで、本

実施の形態 5 では、上記窒化チタン膜 26 A、26 C をパターニングする際に、下部電極に接続するプラグ（後の工程で形成する）が形成される領域では、下部電極が酸化シリコン膜 21 上に延在し上部電極が下部電極上に延在しないようにパターニングを行う。一方、上部電極に接続するプラグ（後の工程で形成する）が形成される領域では、上部電極が酸化シリコン膜 21 上に延在し、下部電極が延在しないようにパターニングを行う。上部電極に接続するプラグが形成される領域にて、このような上部電極および下部電極のパターニングを行うことにより、そのプラグが形成されるコンタクトホールが下部電極まで達し、プラグが上部電極と下部電極とを短絡してしまう不具合を未然に防ぐことができる。

【0110】

次に、図 58 および図 59 に示すように、たとえば基板 1 上に酸化シリコン膜を堆積することによって層間絶縁膜 38 を形成する。なお、図 59 は、容量素子 C1 が形成された領域の断面図を示したものであり、層間絶縁膜 38 に複数個の孔部 25 A が形成されている。なお、孔部 25 A は、たとえば前述の実施の形態の図 38 または図 49 のように形成される。続いて、フォトリソ膜をマスクとして層間絶縁膜 38 および窒化シリコン膜 26 B をエッチングし、プラグ 26 に達するコンタクトホール 39、容量素子 C1 の上部電極（窒化チタン膜 26 C）に達するコンタクトホール 39 A および容量素子 C1 の下部電極（窒化チタン膜 26 A）に達するコンタクトホール 39 B を開孔する。次いで、前記実施の形態 1 にてプラグ 42（図 13 参照）を形成した工程と同様の工程により、コンタクトホール 39、39 A、39 B 内にそれぞれプラグ（導電層）42、42 A、42 B を形成する。

【0111】

上記容量素子 C1 の上部電極（窒化チタン膜 26 C）および下部電極（窒化チタン膜 26 A）は、大きな電流は導通せず、バイアスのみかかる箇所であるので、プラグ 42 A、42 B は、それぞれその側部で上部電極および下部電極と接する程度でよい。すなわち、本実施の形態 5 では、コンタクトホール 39 A、39 B が窒化チタン膜 26 A、26 C および窒化シリコン膜 26 B を突き抜けて酸化シリコン膜 21 に達していてもよい。

【0112】

その後、図60に示すように、前記実施の形態1にて配線44（図15参照）、層間絶縁膜47（図17参照）、プラグ50（図17参照）および配線52（図17参照）を形成した工程と同様の工程を経て、配線44、層間絶縁膜47、プラグ50および配線52を形成し、本実施の形態5の半導体集積回路装置を製造する。

【0113】

ところで、上記のような本実施の形態5では、容量素子C1を最下層の配線層またはプラグ層に形成する場合について説明したが、さらに上層の配線層に形成してもよい。

【0114】

図61および図62は、容量素子C1が最上層近く（最上層から2層目）の配線層に形成された場合を示したものであり、それぞれA1（アルミニウム）を主導電層として最上層配線MU1、MU2、MU3を形成した場合（図61）と、絶縁膜に形成された配線溝にCu（銅）を主導電層とする導電材料を埋め込んで最上層配線MU1、MU2、MU3を形成した場合（図62）とを示している。図61および図62において、最上層配線MU1、MU2、MU3よりも下層の配線層ML1、ML2は、層間絶縁膜ILD1、ILD3に形成された配線溝にたとえばCMP法を用いてCuまたはWなどを主導電層とする導電材料を埋め込むこと（ダマシン法）で形成され、それら配線層間に、層間絶縁膜ILD0、ILD2に形成された接続孔にたとえばCMP法を用いてCuまたはWなどを主導電層とする導電材料を埋め込むことでプラグPLG1～PLG4が形成される。

【0115】

容量素子C1は、下層の配線層ML1と同層の層間絶縁膜ILD1に形成された複数個の溝（第2開口部）T内に形成され、図59と同様に下部電極（窒化チタン膜26A）、容量絶縁膜（窒化シリコン膜26B）、上部電極（窒化チタン膜26C）で構成される。なお、溝（第2開口部）Tは、たとえば前述の実施の形態3の図38または図49のように形成される。

【0116】

このように、容量素子Cの下部電極（窒化チタン膜26A）は、複数個の溝（第2開口部）T内の底部および側壁全周にわたって形成されるとともに、溝（第2開口部）T内の底部および側壁全周において、容量素子Cの誘電体膜（窒化シリコン膜26B）を介して、容量素子Cの上部電極（窒化チタン膜26C）との間で容量を構成する。これにより、溝（第2開口部）T内の底部および側壁全周を容量面積として用いることが出来るので、容量値を向上することができる。

【0117】

最上層配線MU2はCuまたはW（タングステン）を主導電層とするプラグPLG1を介して容量素子C1の上部電極（窒化チタン膜26C）と電気的に接続し、最上層配線MU3はプラグPLG1と同様のプラグPLG2を介して容量素子C1の下部電極（窒化チタン膜26A）と電気的に接続している。また、最上層配線MU1はCuまたはWを主導電層とするプラグPLG3、4を介して下層の配線層ML1、ML2と電気的導通を取っている。なお、図61および図62では、配線層ML1、ML2が絶縁膜に形成された配線溝にCuまたはWなどを主導電層とする導電材料を埋め込むことで形成されている場合について図示しているが、図61で示した最上層配線MU1、MU2、MU3のようにAlを主導電層とする配線としてもよい。また、配線MU2を配線溝にCuまたはWなどを主導電層とする導電材料を埋め込むことで形成してもよい。

【0118】

上記のような本実施の形態5によっても前記実施の形態3と同様の効果を得ることができる。

【0119】

なお、本実施の形態の容量素子C1に前記実施の形態4における容量素子Cの構造を適用してもよい。それにより、より大きな容量値を得ることができる。

【0120】

（実施の形態6）

図63～図65は、本実施の形態6であるSRAMのメモリセルの等価回路図である。図63～図65に示すように、このSRAMのメモリセル（MC）は、一対の相補性データ線（BLT、BLB）とワード線（WL）との交差部に配置

された2個の転送用MISFET (TR1、TR2)、2個の駆動用MISFET (DR1、DR2) および2個の縦型MISFET (SV1、SV2) によって構成されている。

【0121】

メモリセル (MC) を構成する上記6個のMISFETのうち、2個の転送用MISFET (TR1、TR2) および2個の駆動用MISFET (DR1、DR2) は、nチャネル型MISFETで構成されている。また、2個の縦型MISFET (SV1、SV2) は、pチャネル型MISFETで構成されている。この縦型MISFET (SV1、SV2) は、周知の完全CMOS型SRAMにおける負荷用MISFETに相当するものであるが、通常の負荷用MISFETとは異なり、後述するような縦型構造で構成されており、かつ駆動用MISFET (DR1、DR2) および転送用MISFET (TR1、TR2) 形成領域の上部に配置されている。

【0122】

メモリセル (MC) の駆動用MISFET (DR1) および縦型MISFET (SV1) は第1のインバータINV1を構成し、駆動用MISFET (DR2) および縦型MISFET (SV2) は第2のインバータINV2を構成している。これら一対のインバータINV1、INV2はメモリセル (MC) 内で交差結合され、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。

【0123】

すなわち、駆動用MISFET (DR1) のドレインと、縦型MISFET (SV1) のドレインと、駆動用MISFET (DR2) のゲートと、縦型MISFET (SV2) のゲートとは互いに電氣的に接続され、メモリセルの一方の蓄積ノード (A) を構成する。駆動用MISFET (DR2) のドレインと、縦型MISFET (SV2) のドレインと、駆動用MISFET (DR1) のゲートと、縦型MISFET (SV1) のゲートとは互いに電氣的に接続され、メモリセルの他方の蓄積ノード (B) を構成する。

【0124】

上記フリップフロップ回路の一方の入出力端子は、転送用MISFET (TR1) のソース、ドレインの一方に電氣的に接続され、もう一方の入出力端子は、転送用MISFET (TR2) のソース、ドレインの一方に電氣的に接続されている。転送用MISFET (TR1) のソース、ドレインの他方は、一对の相補性データ線の内の一方のデータ線BLTに電氣的に接続され、転送用MISFET (TR2) のソース、ドレインの他方は、一对の相補性データ線の内の他方のデータ線BLBに電氣的に接続されている。また、フリップフロップ回路の一端、すなわち2個の縦型MISFET (SV1、SV2) のソースは、基準電圧 (Vss) よりも電位の高い、たとえば3Vの電源電圧 (Vdd) を供給する電源電圧線 (Vdd) に電氣的に接続され、他端、すなわち2個の駆動用MISFET (DR1、DR2) のソースは、たとえば0Vの基準電圧 (Vss) を供給する基準電圧線 (Vss) に電氣的に接続されている。転送用MISFET (TR1、TR2)、のゲート電極は、ワード線 (WL) に電氣的に接続されている。上記メモリセル (MC) は、一对の蓄積ノード (A、B) の一方をHigh、他方をLowにすることにより情報を記憶する。

【0125】

上記回路においては、蓄積ノード (A、B) と電源電圧Vddとの間 (図63参照)、蓄積ノード (A、B) と基準電圧Vssとの間 (図64参照) もしくは蓄積ノード (A、B) 間 (図65参照) に容量素子Cが接続されている。このような容量素子Cを配置することにより、メモリセルMCの蓄積ノード (A、B) の容量を増加させ、ソフトエラー耐性の低下を防ぐことができる。

【0126】

上記メモリセル (MC) における情報の保持、読み出しおよび書き込み動作は、周知の完全CMOS型SRAMのそれと基本的に同じである。すなわち、情報の読み出し時には、選択されたワード線 (WL) にたとえば電源電圧 (Vdd) を印加し、転送用MISFET (TR1、TR2) をONにして一对の蓄積ノード (A、B) の電位差を相補性データ線 (BLT、BLB) で読み取る。また、書き込み時には、選択されたワード線 (WL) にたとえば電源電圧 (Vdd) を印加して、転送用MISFET (TR1、TR2) をONにすると共に、相補性

データ線 (BLT、BLB) の一方を電源電圧 (V_{dd}) に接続し、他方を基準電圧 (V_{ss}) に接続することによって、駆動用 MISFET (DR1、DR2) の ON、OFF を反転させる。

【0127】

次に、図 66～図 95 を用いて本実施の形態 6 の SRAM の詳細な構造をその製造方法と共に説明する。SRAM の製造方法を説明する各断面図において、符号 A、A を付した部分は、各平面図の A-A 線に沿ったメモリセルの断面、符号 B、B を付した部分は、各平面図の B-B 線に沿ったメモリセルの断面、符号 C、C を付した部分は、各平面図の C-C 線に沿ったメモリセルの断面、その他の部分は、周辺回路領域の一部の断面を示している。SRAM の周辺回路は、n チャネル型 MISFET と p チャネル型 MISFET で構成されるが、これら 2 種類の MISFET は、導電型が互いに逆になっていることを除けば、ほぼ同一の構造を有しているので、図にはその一方 (p チャネル型 MISFET) のみを示す。SRAM の製造方法を説明する各平面図 (メモリアレイの平面図) には、メモリセルを構成する主要な導電層とそれらの接続領域のみを示し、導電層間に形成される絶縁膜などの図示は原則として省略する。また、各平面図中、4 個の (+) 印で囲んだ矩形の領域は、メモリセル 1 個の占有領域を示している。なお、周辺回路を構成する n チャネルおよび p チャネル MISFET によって X デコーダ回路、Y デコーダ回路、センスアンプ回路、入出力回路、論理回路などが構成されるが、これらに限らず、マイクロプロセッサ、CPU などの論理回路を構成してもよい。

【0128】

まず、図 66 および図 67 に示すように、たとえば p 型の単結晶シリコンからなる基板 101 の主面の素子分離領域に素子分離溝 102 を形成する。素子分離溝 102 を形成するには、たとえば基板 101 の主面をドライエッチングして溝を形成し、続いてこの溝の内部を含む基板 101 上に CVD 法で酸化シリコン膜 103 などの絶縁膜を堆積した後、溝の外部の不要な酸化シリコン膜 103 を CMP 法で研磨、除去することによって、溝の内部に酸化シリコン膜 103 を残す。この素子分離溝 102 を形成することにより、メモリアレイの基板 101 の主

面には、素子分離溝 102 によって周囲を規定された島状の活性領域 (L) が形成される。

【0129】

次に、たとえば基板 101 の一部にリン (P) をイオン注入し、他の一部にホウ素 (B) をイオン注入した後、基板 101 を熱処理してこれらの不純物を基板 101 中に拡散させることにより、基板 101 の主面に p 型ウェル 104 および n 型ウェル 105 を形成する。図 66 に示すように、メモリアレイの基板 101 には、p 型ウェル 104 のみが形成され、n 型ウェル 105 は形成されない。一方、周辺回路領域の基板 101 には、n 型ウェル 105 と図示しない p 型ウェルとが形成される。

【0130】

次に、基板 101 を熱酸化して p 型ウェル 104 および n 型ウェル 105 のそれぞれの表面に、たとえば酸化シリコンからなる膜厚 3 nm ~ 4 nm 程度のゲート絶縁膜 106 を形成する。続いて、たとえば p 型ウェル 104 のゲート絶縁膜 106 上に導電膜として n 型多結晶シリコン膜を形成し、n 型ウェル 105 のゲート絶縁膜 106 上に導電膜として p 型多結晶シリコン膜を形成した後、n 型多結晶シリコン膜および p 型多結晶シリコン膜のそれぞれの上部にキャップ絶縁膜として、たとえば CVD 法で酸化シリコン膜を堆積する。

【0131】

上記 n 型多結晶シリコン膜および p 型多結晶シリコン膜を形成するには、たとえばゲート絶縁膜 106 上に CVD 法でノンドープの多結晶シリコン膜（またはアモルファスシリコン膜）を堆積した後、p 型ウェル 104 上のノンドープ多結晶シリコン膜（またはアモルファスシリコン膜）にリン（またはヒ素）をイオン注入し、n 型ウェル 105 上のノンドープ多結晶シリコン膜（またはアモルファスシリコン膜）にホウ素をイオン注入する。

【0132】

次に、上記 n 型多結晶シリコン膜および p 型多結晶シリコン膜を、たとえばドライエッチングすることにより、メモリアレイの p 型ウェル 104 上に n 型多結晶シリコン膜からなるゲート電極 107A、107B を形成し、周辺回路領域の

n 型ウェル 105 上に p 型多結晶シリコン膜からなるゲート電極 107C を形成する。図示はしないが、周辺回路領域の p 型ウェル 104 上には、n 型多結晶シリコン膜からなるゲート電極が形成される。

【0133】

ゲート電極 107A は、転送用 MISFET (TR1、TR2) のゲート電極を構成し、ゲート電極 107B は、駆動用 MISFET (DR1、DR2) のゲート電極を構成する。また、ゲート電極 107C は、周辺回路の p チャネル型 MISFET のゲート電極を構成する。

【0134】

ゲート電極 107A、107B、107C を形成するには、たとえばフォトレジスト膜をマスクにしたドライエッチングで上記キャップ絶縁膜をゲート電極 107A、107B、107C と同じ平面形状となるようにパターニングし、続いて、パターニングしたキャップ絶縁膜をマスクにして n 型多結晶シリコン膜および p 型多結晶シリコン膜をドライエッチングする。キャップ絶縁膜を形成する酸化シリコンは、フォトレジストに比べて多結晶シリコンに対するエッチング選択比が大きいため、フォトレジスト膜をマスクにしてキャップ絶縁膜と多結晶シリコン膜を連続してエッチングする場合に比べて、微細なゲート長を有するゲート電極 107A、107B、107C を精度よくパターニングすることができる。

【0135】

次に、たとえば p 型ウェル 104 に n 型の不純物としてリンまたはヒ素をイオン注入することによって、比較的低濃度の n-型半導体領域 109 を形成し、n 型ウェル 105 に p 型の不純物としてホウ素をイオン注入することによって、比較的低濃度の p-型半導体領域（図示は省略）を形成する。n-型半導体領域 109 は、転送用 MISFET (TR1、TR2)、駆動用 MISFET (DR1、DR2) および周辺回路の n チャネル型 MISFET のそれぞれのソース、ドレインを LDD (Lightly Doped Drain) 構造にするために形成し、p-型半導体領域は、周辺回路の p チャネル型 MISFET のソース、ドレインを LDD 構造にするために形成する。

【0136】

次に、ゲート電極107A、107B、107Cのそれぞれの側壁に絶縁膜からなるサイドウォールスペーサ113を形成する。サイドウォールスペーサ113を形成するには、たとえば基板101上にCVD法で酸化シリコン膜および窒化シリコン膜を堆積した後、この窒化シリコン膜と酸化シリコン膜とを異方性エッチングする。このとき、ゲート電極107A、107B、107Cのそれぞれの上面を覆うキャップ絶縁膜および基板101の表面の酸化シリコン膜（ゲート絶縁膜106）をエッチングすることにより、ゲート電極107A、107B、107Cのそれぞれの表面、およびn-型半導体領域109、p-型半導体領域のそれぞれの表面を露出させる。

【0137】

次に、p型ウェル104にn型の不純物としてリンまたはヒ素をイオン注入することによって比較的高濃度のn+型半導体領域114を形成し、n型ウェル105にp型の不純物としてホウ素をイオン注入することによって比較的高濃度のp+型半導体領域115を形成する。メモリアレイのp型ウェル104に形成されたn+型半導体領域114は、転送用MISFET（TR1、TR2）および駆動用MISFET（DR1、DR2）のそれぞれのソース、ドレインを構成し、周辺回路領域のn型ウェル105に形成されたp+型半導体領域115は、pチャネル型MISFETのソース、ドレインを構成する。また、周辺回路領域の図示しないp型ウェルには、n型の不純物としてリンまたはヒ素をイオン注入し、nチャネル型MISFETのソース、ドレインを構成する比較的高濃度のn+型半導体領域を形成する。

【0138】

次に、たとえば基板101上にスパッタリング法でコバルト（Co）膜を堆積する。続いて、基板101を熱処理してCo膜とゲート電極107A、107B、107Cとの界面、およびCo膜と基板101との界面にシリサイド反応を生じさせた後、未反応のCo膜をエッチングで除去する。これにより、ゲート電極107A、107B、107Cの表面とソース、ドレイン（n+型半導体領域114、p+型半導体領域115）の表面とにシリサイド層であるCoシリサイド層が形成される。ここまでの工程により、メモリアレイにnチャネル型の転送用

MISFET (TR1、TR2) および駆動用MISFET (DR1、DR2) が形成され、周辺回路領域に p チャネル型MISFET (Qp) および n チャネル型MISFET (図示せず) が形成される。

【0139】

図66に示すように、一方の転送用MISFET (TR1) および駆動用MISFET (DR1) と、他方の転送用MISFET (TR2) および駆動用MISFET (DR2) とは、素子分離部を介して図の横方向 (X方向) に離隔して配置され、かつメモリセル形成領域の中心点に対して点对称に配置される。また、駆動用MISFET (DR2) および駆動用MISFET (DR1) のゲート電極107Bは、図の横方向 (X方向) に延在するように配置され、X方向において、一方の転送用MISFET (TR1) および駆動用MISFET (DR1) と、他方の転送用MISFET (TR2) および駆動用MISFET (DR2) との間の素子分離部上でその一端が終端し、その一端部上に後述する縦型MISFET (SV1、SV2) が形成される。

【0140】

次に、MISFET (TR1、TR2、DR1、DR2、Qp) を覆う絶縁膜として、たとえばCVD法で窒化シリコン膜119および酸化シリコン膜120を堆積し、続いて化学的機械研磨法で酸化シリコン膜120の表面を平坦化する。

【0141】

次に、図68および図69に示すように、フォトリソ膜をマスクにして上記酸化シリコン膜120および窒化シリコン膜119をドライエッチングすることにより、転送用MISFET (TR1、TR2) のゲート電極107Aの上部にコンタクトホール121を形成し、駆動用MISFET (DR1、DR2) のゲート電極107Bの上部にコンタクトホール122を形成する。また、転送用MISFET (TR1、TR2) および駆動用MISFET (DR1、DR2) のそれぞれのソース、ドレイン (n⁺型半導体領域114) の上部にコンタクトホール123、124、125を形成し、周辺回路領域の p チャネル型MISFET (Qp) のゲート電極107Cおよびソース、ドレイン (p⁺型半導体領域

115) のそれぞれの上部にコンタクトホール126、127を形成する。

【0142】

次に上記コンタクトホール121～127の内部にプラグ128を形成する。プラグ128を形成するには、たとえばコンタクトホール121～127の内部を含む酸化シリコン膜120上にスパッタリング法でチタン (Ti) 膜および窒化チタン (TiN) 膜を堆積し、続いてCVD法でTiN膜および金属膜としてタングステン (W) 膜を堆積した後、コンタクトホール121～127の外部のW膜、TiN膜およびTi膜をCMP法によって除去する。

【0143】

次に、図70および図71に示すように、絶縁膜として、たとえば基板101上にCVD法で窒化シリコン膜129および酸化シリコン膜130を堆積した後、フォトリソ膜をマスクにして酸化シリコン膜130および窒化シリコン膜129をドライエッチングすることにより、上記コンタクトホール121～127のそれぞれの上部に溝131～137を形成する。これらの溝131～137のうち、メモリアレイに形成される溝132、133は、図70に示すように、コンタクトホール122の上部とコンタクトホール123の上部とに跨るように形成される。

【0144】

次に、メモリアレイに形成された溝131～135のそれぞれの内部に中間導電層141～145を形成し、周辺回路領域に形成された溝136、137のそれぞれの内部に第1層配線146、147を形成する。中間導電層141～145および第1層配線146、147を形成するには、たとえば溝131～137の内部を含む酸化シリコン膜130上にスパッタリング法でTiN膜を堆積し、続いて金属膜としてCVD法でW膜を堆積した後、溝131～137の外部のW膜およびTiN膜をCMP法によって除去する。

【0145】

メモリアレイに形成された中間導電層141～145のうち、中間導電層141は、転送用MISFET (TR1、TR1) のゲート電極107Aと、後の工程で形成されるワード線 (WL) とを電氣的に接続するために使用される。また

、中間導電層 144 は、転送用 MISFET (TR1、TR2) の n⁺型半導体領域 114 (ソース、ドレインの一方) と相補性データ線 (BLT、BLB) とを電氣的に接続するために使用される。さらに、中間導電層 145 は、駆動用 MISFET (DR1、DR2) の n⁺型半導体領域 114 (ソース) と後の工程で形成される基準電圧線 (Vss) とを電氣的に接続するために使用される。

【0146】

各メモリセル領域のほぼ中央部に形成された一対の中間導電層 142、143 の一方 (中間導電層 142) は、転送用 MISFET (TR1) のソース、ドレインの一方および駆動用 MISFET (DR1) のドレインを構成する n⁺型半導体領域 114 と、駆動用 MISFET (DR2) のゲート電極 107B と、後の工程で形成される縦型 MISFET (SV1) の下部半導体層 (ドレイン) とを電氣的に接続する局所配線として使用される。また、他方 (中間導電層 143) は、転送用 MISFET (TR2) のソース、ドレインの一方および駆動用 MISFET (DR2) のドレインを構成する n⁺型半導体領域 114 と、駆動用 MISFET (DR1) のゲート電極 107B と、後の工程で形成される縦型 MISFET (SV2) の下部半導体層 (ドレイン) とを電氣的に接続する局所配線として使用される。

【0147】

上記中間導電層 141～145 は、W 膜などのメタル膜で構成する。これにより、中間導電層 141～145 を形成する工程で周辺回路のメタル配線 (第 1 層配線 146、147) を同時に形成することができるので、SRAM の製造工程数およびマスク数を減らすことができる。

【0148】

次に、図 72 および図 73 に示すように、中間導電層 142、143 のそれぞれの表面にバリア層 148 を形成する。バリア層 148 は、中間導電層 142、143 の表面領域のうち、主として縦型 MISFET (SV1、SV2) が形成される領域の下方に位置する領域に形成される。バリア層 148 を形成するには、基板 101 上にスパッタリング法で WN 膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングで WN 膜をパターンニングする。このように、シリ

コン膜と中間導電層 142、143 との界面で所望しないシリサイド反応が生じるのを防ぐことができるバリア層 148 を、シリコン膜と、中間導電層 142、143 を構成する W 膜との間に介在させる。

【0149】

バリア層 148 は、WN 膜の他、Ti 膜、TiN 膜、WN 膜と W 膜との積層膜、TiN 膜と W 膜との積層膜などで構成してもよい。Ti 系薄膜は WN 膜に比べて酸化シリコン膜との密着性が良好との特徴を有する。一方、WN 膜は酸化により容易に不動態化するため、装置汚染の可能性が低く簡便に扱える。密着性と簡便性のいずれを重視するかにより選択が可能である。従って、MISFET を形成した後の配線形成工程のように、Ti 系薄膜が基板 101 に再付着しても MISFET の特性を変動させる虞れが少ない工程でバリア膜を必要とする場合は、WN 膜よりも Ti 系薄膜を使用した方がよい。

【0150】

このように、中間導電層 142、143 は、タングステン (W) 等の金属膜で構成し、バリア層 148 を介して中間導電層 142、143 の上部にシリコン膜で形成された縦型 MISFET を形成することにより、MISFET 間の接続抵抗を低減でき、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。なお、バリア層 148 を形成する手段に代えてタングステンからなる中間導電層 142、143 の表面を窒化処理して窒化タングステンに変えてもよい。このようにするとバリア層 148 を形成するためのマスクが不要となる。

【0151】

次に、基板 101 上に CVD 法で窒化シリコン膜 149 を堆積した後、窒化シリコン膜 149 の上部に CVD 法で多結晶シリコン膜（またはアモルファスシリコン膜）を堆積する。窒化シリコン膜 149 は、後の工程で窒化シリコン膜 149 の上部に堆積する酸化シリコン膜をエッチングする際に、下層の酸化シリコン膜 130（図 71 参照）がエッチングされるのを防ぐエッチングストップ膜として使用される。多結晶シリコン膜は、後の工程で形成する縦型 MISFET（SV1、SV2）のゲート電極を構成する多結晶シリコン膜と同一の導電型（たとえば p 型）とするために、成膜時または成膜後にホウ素をドーピングする。

【0152】

次に、フォトリジスト膜をマスクにしたドライエッチングで上記多結晶シリコン膜をパターニングすることにより、窒化シリコン膜149の上部に一对のゲート引き出し電極151a、151bを形成する。ゲート引き出し電極151a、151bは、後の工程で形成される縦型MISFET(SV1、SV2)に隣接する領域に配置され、縦型MISFET(SV1、SV2)のゲート電極と下層の転送用MISFET(TR1、TR2)および駆動用MISFET(DR1、DR2)との接続に使用される。

【0153】

次に、図74および図75に示すように、窒化シリコン膜148の上部に絶縁膜としてCVD法で酸化シリコン膜152を堆積してゲート引き出し電極151a、151bを被覆した後、フォトリジスト膜をマスクにして酸化シリコン膜152をドライエッチングすることにより、バリア層148の上部領域、すなわち縦型MISFET(SV1、SV2)が形成される領域の酸化シリコン膜152にスルーホール153を形成する。

【0154】

次に、スルーホール153の側壁に絶縁膜からなるサイドウォールスペーサ154を形成する。サイドウォールスペーサ154を形成するには、スルーホール153の内部を含む酸化シリコン膜152上にCVD法で酸化シリコン膜を堆積し、続いてこの酸化シリコン膜を異方性エッチングしてスルーホール153の側壁に残す。このとき、上記酸化シリコン膜のエッチングに続いてスルーホール153の底部の窒化シリコン膜149をエッチングすることにより、スルーホール153の底部にバリア層148を露出させる。

【0155】

このように、側壁に絶縁膜からなるサイドウォールスペーサ154を形成してスルーホール153の径を小さくすることにより、図74に示すように、バリア層148の上部にその面積よりも小さい径を有するスルーホール153が形成される。これにより、フォトマスクの合わせずれによってスルーホール153の位置がバリア層148に対してずれた場合でも、スルーホール153の底部にバリ

ア層 148 のみを露出させることができるので、次の工程でスルーホール 53 の内部に形成されるプラグとバリア層 148 の接触面積を確保することができる。

【0156】

次に、スルーホール 153 の内部にプラグ 155 を形成する。プラグ 155 を形成するには、スルーホール 153 の内部を含む酸化シリコン膜 152 上に CVD 法で多結晶シリコン膜（またはアモルファスシリコン膜）を堆積した後、スルーホール 153 の外部の多結晶シリコン膜（またはアモルファスシリコン膜）を CMP 法（またはエッチバック法）によって除去する。プラグ 155 を構成する多結晶シリコン膜（またはアモルファスシリコン膜）は、後の工程で形成する縦型 MISFET（SV1、SV2）の下部半導体層を構成する多結晶シリコン膜と同一の導電型（p 型）とするために、成膜時または成膜後にホウ素をドーピングする。

【0157】

スルーホール 153 の内部に形成されたプラグ 155 は、バリア層 148 を介して下層の中間導電層 142、143 と電氣的に接続される。プラグ 155 を構成する多結晶シリコン膜（またはアモルファスシリコン膜）と中間導電層 142、143 を構成する W 膜との間に WN 膜からなるバリア層 148 を介在させることにより、プラグ 155 と中間導電層 142、143 との界面で所望しないシリサイド反応が生じるのを防ぐことができる。なお、プラグ 155 は多結晶シリコン膜（またはアモルファスシリコン膜）に代えてタングステンで構成し、その表面を窒化処理して窒化タングステンに変えてもよい。このようにするとバリア層 148 を形成するためのマスクが不要となる。

【0158】

次に、図 76 および図 77 に示すように、酸化シリコン膜 152 の上部に p 型シリコン膜 157、シリコン膜 158 および p 型シリコン膜 159 を順次積層する。これら 3 層のシリコン膜（157、158、159）を形成するには、たとえばホウ素をドーピングしたアモルファスシリコン膜およびノンドープのアモルファスシリコン膜を CVD 法で順次堆積した後、熱処理を行ってこれらのアモルファスシリコン膜を結晶化することにより、p 型シリコン膜 157 およびシリコン膜

158を形成する。次に、シリコン膜にチャンネル形成用のn型またはp型不純物をイオン注入した後、そのシリコン膜の上部にホウ素をドーピングしたアモルファスシリコン膜をCVD法で堆積し、続いて熱処理によってこのアモルファスシリコン膜を結晶化することにより、p型シリコン膜159を形成する。

【0159】

このように、アモルファスシリコン膜を結晶化して上記3層のシリコン膜（157、158、159）を形成することにより、多結晶シリコン膜に比べて膜中の結晶粒を大きくできるので、縦型MISFET（SV1、SV2）の特性が向上する。なお、上記シリコン膜158にチャンネル形成用の不純物をイオン注入する際は、シリコン膜158の表面に酸化シリコン膜からなるスルー絶縁膜を形成し、このスルー絶縁膜を通して不純物をイオン注入してもよい。また、アモルファスシリコン膜の結晶化は、後述するゲート絶縁膜を形成するための熱酸化工程などを利用して行ってもよい。

【0160】

次に、上層のp型シリコン膜の上部にCVD法で酸化シリコン膜161および窒化シリコン膜162を順次堆積した後、フォトレジスト膜をマスクにして窒化シリコン膜162をドライエッチングすることにより、縦型MISFET（SV1、SV2）を形成する領域の上部に窒化シリコン膜162を残す。この窒化シリコン膜162は、上記3層のシリコン膜（157、158、159）をエッチングする際のマスクとして使用される。窒化シリコンは、シリコンに対するエッチング選択比がフォトレジストに比べて大きいので、フォトレジスト膜をマスクにしたエッチングに比べて、3層のシリコン膜（157、158、159）を精度よくパターンニングすることができる。

【0161】

次に、窒化シリコン膜162をマスクにして3層のシリコン膜（157、158、159）をドライエッチングする。これにより、p型シリコン膜157からなる下部半導体層、シリコン膜158からなる中間半導体層、p型シリコン膜159からなる上部半導体層によって構成される四角柱状の積層体（P1、P2）が形成される。

【0162】

上記積層体（P1）の下部半導体層である p 型シリコン膜 157 は、縦型 MISFET（SV1）のドレインを構成し、上部半導体層である p 型シリコン膜 159 は、ソースを構成する。下部半導体層と上部半導体層との間に位置する中間半導体層であるシリコン膜 158 は、実質的に縦型 MISFET（SV1）の基板を構成し、その側壁はチャネル領域を構成する。また、積層体（P2）の下部半導体層である p 型シリコン膜 157 は、縦型 MISFET（SV2）のドレインを構成し、上部半導体層である p 型シリコン膜 159 は、ソースを構成する。中間半導体層であるシリコン膜 158 は、実質的に縦型 MISFET（SV2）の基板を構成し、その側壁はチャネル領域を構成する。

【0163】

また、平面的に見た場合、積層体（P1）は、その下層のスルーホール 153、バリア層 148、中間導電層 142 の一端部、コンタクトホール 122 および駆動用 MISFETDR2 のゲート電極 107B の一端部と重なるように配置される。また、積層体（P2）は、その下層のスルーホール 153、バリア層 148、中間導電層 143 の一端部、コンタクトホール 122 および駆動用 MISFETDR1 のゲート電極 107B の一端部と重なるように配置される。

【0164】

上記 3 層のシリコン膜（157、158、159）をドライエッチングする際には、たとえば図 77 に示すように、積層体（P1、P2）の側壁底部にテーパを形成し、積層体（P1、P2）の下部（下部半導体層である p 型シリコン膜 157）の面積を上部（中間半導体層であるシリコン膜 158 および上部半導体層である p 型シリコン膜 159）の面積より大きくしてもよい。このようにすると、フォトマスクの合わせずれによって積層体（P1、P2）の位置がスルーホール 153 に対してずれた場合でも、スルーホール 153 内のプラグ 155 と下部半導体層（p 型シリコン膜 157）との接触面積の減少が防止されるので、下部半導体層（p 型シリコン膜 157）とプラグ 155 のコンタクト抵抗の増加を抑制することができる。

【0165】

また、積層体 (P1、P2) を形成する際、上部半導体層である p 型シリコン膜 159 と中間半導体層であるシリコン膜 158 との界面近傍、下部半導体層である p 型シリコン膜 157 とシリコン膜 158 との界面近傍、シリコン膜 158 の一部などに窒化シリコン膜などで構成される 1 層または複数層のトンネル絶縁膜を設けてもよい。このようにすると、下部半導体層や上部半導体層を構成する p 型シリコン膜 (157、159) 中の不純物が中間半導体層の内部に拡散するのを防ぐことができるので、縦型 MISFET (SV1、SV2) の性能を向上させることができる。この場合、トンネル絶縁膜は、縦型 MISFET (SV1、SV2) のドレイン電流 (I_{ds}) の低下を抑制できる程度の薄い膜厚 (数 nm 以下) で形成する。

【0166】

次に、図 78 に示すように、基板 101 を熱酸化することによって、積層体 (P1、P2) を構成する下部半導体層 (p 型シリコン膜 157)、中間半導体層 (シリコン膜 158) および上部半導体層 (p 型シリコン膜 159) のそれぞれの側壁表面に酸化シリコン膜からなるゲート絶縁膜 163 を形成する。このとき、積層体 (P1、P2) の下層に形成されている多結晶シリコン膜からなるゲート引き出し電極 151a、151b やスルーホール 153 の内部のプラグ 155 は、酸化シリコン系の絶縁膜 (酸化シリコン膜 152、サイドウォールスペーサ 154) で被覆されているので、ゲート引き出し電極 151a、151b やプラグ 155 の表面が酸化されて抵抗が大きくなる虞はない。また、積層体 (P1、P2) とその上部の窒化シリコン膜 162 との間には酸化シリコン膜 161 が形成されているので、上部半導体層の表面に形成されるゲート絶縁膜 163 と窒化シリコン膜 162 との接触が防止され、積層体 (P1、P2) の上端部近傍におけるゲート絶縁膜 163 の耐圧低下を防ぐことができる。

【0167】

積層体 (P1、P2) の側壁のゲート絶縁膜 163 は、たとえば 800℃ 以下の低温熱酸化 (たとえばウェット酸化) によって形成されるが、これに限定されず、たとえば CVD 法で堆積した酸化シリコン膜や、CVD 法で堆積した酸化ハフニウム (HfO_2)、酸化タンタル (Ta_2O_5) などの高誘電体膜で構成して

もよい。この場合は、ゲート絶縁膜 163 をさらに低温で形成することができるので、不純物の拡散などに起因する縦型 MISFET (SV1、SV2) のしきい値電圧の変動を抑制することができる。

【0168】

次に、四角柱状の積層体 (P1、P2) およびその上部の窒化シリコン膜 162 の側壁に縦型 MISFET (SV1、SV2) のゲート電極の一部を構成する導電膜として、たとえば第 1 多結晶シリコン層 164 を形成する。第 1 多結晶シリコン層 164 を形成するには、酸化シリコン膜 152 の上部に CVD 法で多結晶シリコン膜を堆積した後、この多結晶シリコン膜を異方的にエッチングすることによって、四角柱状の積層体 (P1、P2) および窒化シリコン膜 162 の側壁を囲むようにサイドウォールスペーサ状に残す。このように、ゲート電極の一部を構成する第 1 多結晶シリコン層 164 は、四角柱状の積層体 (P1、P2) およびゲート絶縁膜 163 に対して自己整合的に形成されるので、メモリセルサイズを縮小できる。第 1 多結晶シリコン層 164 を構成する多結晶シリコン膜は、その導電性を p 型とするためにホウ素をドーピングする。

【0169】

上記多結晶シリコン膜をエッチングして第 1 多結晶シリコン層 164 を形成する際は、多結晶シリコン膜のエッチングに引き続いて下層の酸化シリコン膜 152 をエッチングする。これにより、四角柱状の積層体 (P1、P2) の直下を除いた領域の酸化シリコン膜 152 が除去され、ゲート引き出し電極 151a、151b および窒化シリコン膜 149 が露出する。なお、第 1 多結晶シリコン層 164 の下端部とゲート引き出し電極 151a、151b との間には酸化シリコン膜 152 が残っているので、第 1 多結晶シリコン層 164 とゲート引き出し電極 151a、151b とは電氣的に接続されない。

【0170】

次に、第 1 多結晶シリコン層 164 の表面に導電膜として、たとえば第 2 多結晶シリコン層 165 を形成する。第 2 多結晶シリコン層 165 を形成するには、酸化シリコン膜 152 の上部に CVD 法で多結晶シリコン膜を堆積した後、この多結晶シリコン膜を異方的にエッチングすることによって、第 1 多結晶シリコン

層 164 の表面を囲むようにサイドウォールスペーサ状に残す。第 2 多結晶シリコン層 165 を構成する多結晶シリコン膜は、その導電型を p 型とするためにホウ素をドーピングする。

【0171】

第 2 多結晶シリコン層 165 を構成する上記多結晶シリコン膜は、四角柱状の積層体 (P1、P2) の直下に残った酸化シリコン膜 152 の側壁やゲート引き出し電極 151a、151b の表面にも堆積されるので、この多結晶シリコン膜を異方的にエッチングすると、その下端部がゲート引き出し電極 151a、151b の表面と接触する。

【0172】

このように、下端部がゲート引き出し電極 151a、151b に電氣的に接続する第 2 多結晶シリコン層 165 を第 1 多結晶シリコン層 164 に対して自己整合的に形成されるので、メモリセルサイズを縮小できる。

【0173】

ここまでの工程により、四角柱状の積層体 (P1、P2) および窒化シリコン膜 162 の側壁に、第 1 多結晶シリコン層 164 と第 2 多結晶シリコン膜 165 の積層膜からなる縦型 MISFET (SV1、SV2) のゲート電極 166 が形成される。このゲート電極 166 は、その一部を構成する第 2 多結晶シリコン層 165 を介してゲート引き出し電極 151a、151b と電氣的に接続される。

【0174】

このように、ゲート電極 (166) の一部を構成する第 1 多結晶シリコン層 164 を、四角柱状の積層体 (P1、P2) およびゲート絶縁膜 163 に対してサイドウォールスペーサ状に自己整合的に形成する。下端部がゲート引き出し電極 151a、151b に電氣的に接続する第 2 多結晶シリコン層 165 を第 1 多結晶シリコン層 164 に対してサイドウォールスペーサ状に自己整合的に形成する。これにより、メモリセルサイズを縮小できる。すなわち、ゲート電極 (166) を、四角柱状の積層体 (P1、P2) およびゲート絶縁膜 163 に対して自己整合的に形成する。また、ゲート電極 (166) をゲート引き出し電極 151a、151b に対して自己整合的に接続する。これにより、メモリセルサイズを縮

小できる。

【0175】

上記のように、ゲート電極166を2層の導電膜（第1多結晶シリコン層164および第2多結晶シリコン層165）で構成する場合は、第2多結晶シリコン層165に代えてWシリサイド膜やW膜を用いることにより、ゲート電極166を低抵抗のシリサイド構造あるいはポリメタル構造にすることもできる。

【0176】

次に、図79および図80に示すように、基板101上に絶縁膜として、たとえばCVD法で酸化シリコン膜170を堆積した後、CMP法でその表面を平坦化する。酸化シリコン膜（第1絶縁膜）170は、平坦化後の表面の高さが窒化シリコン膜162の表面より高くなるように厚い膜厚で堆積し、平坦化処理時に窒化シリコン膜162の表面が削れないようにする。

【0177】

次に、酸化シリコン膜170をエッチングしてその表面を積層体（P1、P2）の中途部まで後退させた後、積層体（P1、P2）および窒化シリコン膜162の側壁に形成されたゲート電極166をエッチングしてその上端部を下方に後退させる。

【0178】

上記ゲート電極166のエッチングは、後の工程で積層体（P1、P2）の上部に形成される電源電圧線とゲート電極166との短絡を防ぐために行う。従って、ゲート電極166は、その上端部が上部半導体層であるp型シリコン膜159の上端部よりも下方に位置するまで後退させる。ただし、ゲート電極166と上部半導体層（ソース（p型シリコン膜159））とのオフセットを防ぐため、ゲート電極166の上端部が中間半導体層であるシリコン膜158の上端部より上方に位置するようにエッチング量を制御する。

【0179】

ここまでの工程により、メモリアレイの各メモリセル領域に、下部半導体層（ドレイン）であるp型シリコン膜157、中間半導体層（基板）であるシリコン膜158および上部半導体層（ソース）であるp型シリコン膜159からなる積

層体 (P 1、P 2) と、積層体 (P 1、P 2) の側壁に形成されたゲート絶縁膜 163 およびゲート電極 166 とを有する p チャネル型の縦型 MISFET (SV1、SV2) が形成される。

【0180】

次に、図 81 に示すように、酸化シリコン膜 170 の上部に露出した縦型 MISFET (SV1、SV2) のゲート電極 166 および上部半導体層である p 型シリコン膜 159 とその上部の窒化シリコン膜 162 の側壁に酸化シリコン膜からなるサイドウォールスペーサ 171 を形成した後、酸化シリコン膜 170 の上部に CVD 法で窒化シリコン膜 (第 1 絶縁膜) 172 を堆積する。サイドウォールスペーサ 171 は、CVD 法で堆積した酸化シリコン膜を異方性エッチングすることによって形成する。

【0181】

次に、窒化シリコン膜 172 の上部に CVD 法で酸化シリコン膜 (第 1 絶縁膜) 173 を堆積した後、酸化シリコン膜 173 の表面を CMP 法で平坦化する。

【0182】

次に、図 82 および図 83 に示すように、フォトレジスト膜をマスクにして酸化シリコン膜 173、窒化シリコン膜 172 および酸化シリコン膜 170 をドライエッチングすることにより、中間導電層 141、144、145 のそれぞれの表面が露出するスルーホール (第 3 開口部) 174、175、176 を形成し、周辺回路の第 1 層配線 146、147 の表面が露出するスルーホール (第 3 開口部) 177 を形成する。

【0183】

次に、図 84 および図 85 に示すように、上記スルーホール 174～177 の内部にプラグ 178 を形成する。プラグ 178 を形成するには、たとえばスルーホール 174～177 の内部を含む酸化シリコン膜 173 上にスパッタリング法で Ti 膜および TiN 膜を堆積し、続いて CVD 法で TiN 膜および W 膜を堆積した後、スルーホール 174～177 の外部の W 膜、TiN 膜および Ti 膜を CMP 法によって除去する。

【0184】

次に、フォトレジスト膜をマスクにして酸化シリコン膜 173、窒化シリコン膜 172 および酸化シリコン膜 170 をドライエッチングすることにより、ゲート引き出し電極 151a および中間導電層 142 の表面が露出するスルーホール（第 1 開口部）179 と、ゲート引き出し電極 151b および中間導電層 143 の表面が露出するスルーホール（第 1 開口部）180 を形成する。

【0185】

次に、図 86 に示すように、たとえばスルーホール 179、180 の内部を含む酸化シリコン膜 173 上にスパッタリング法で膜厚 50 nm 程度の TiN 膜（第 1 導電性膜）181A を堆積する。続いて、フォトレジスト膜をマスクとしてその TiN 膜 181A をドライエッチングすることにより、TiN 膜 181A をスルーホール 179、180 内に残す。この TiN 膜 181A により、駆動用 MISFETDR1、DR2 および転送用 MISFETTR1、TR2 の電位を取ることができる。

【0186】

次に、図 87 に示すように、たとえばスルーホール 179、180 の内部を含む酸化シリコン膜 173 および TiN 膜 181A 上に CVD 法で膜厚 10 nm ～ 20 nm 程度の窒化シリコン膜（第 2 絶縁膜）181B を堆積する。続いて、その窒化シリコン膜 181B 上に、たとえばスパッタリング法で膜厚 50 nm 程度の TiN 膜（第 2 導電性膜）181C を堆積する。

【0187】

次に、図 88 および図 89 に示すように、フォトレジスト膜をマスクとしたドライエッチングにより TiN 膜 181C をパターニングする。続いて、新たにフォトレジスト膜をマスクとしたドライエッチングにより窒化シリコン膜 181B をパターニングする。これにより、スルーホール 179、180 内に TiN 膜 181A を下部電極とし、窒化シリコン膜 181B を容量絶縁膜とし、TiN 膜 181C を上部電極とする容量素子（第 1 容量素子）C を形成することができる。この容量素子 C の下部電極は、ゲート引き出し電極 151a、152b と電氣的に接続される。このような本実施の形態 6 の容量素子 C においては、TiN 膜 181A は、容量素子 C の下部電極（TiN 膜 181A）となるばかりでなく、駆

動用MISFETDR2（または駆動用MISFETDR1）および縦型MISFETSV2（または縦型MISFETSV1）のそれぞれのゲート電極と蓄積ノードA（または蓄積ノードB）とを電氣的に接続する配線としても機能させることができる。また、容量素子Cの上部電極（TiN膜181C）は、後の工程で形成されるプラグを介して縦型MISFET（SV1、SV2）の上部半導体層（ソース）であるp型シリコン膜159と電氣的に接続される。すなわち、容量素子Cの上部電極は電源電圧線（Vdd）に電氣的に接続されるが、それについては、そのプラグが形成される工程と併せて後述する。なお、図88においては、パターニング後に残ったTiN膜181Cを一点差線で囲んだ領域で示してある。

【0188】

このように、容量素子Cの下部電極（TiN膜181A）は、スルーホール179、180内の底部および側壁全周にわたって形成されるとともに、スルーホール179、180内の底部および側壁全周において、容量素子Cの誘電体膜（窒化シリコン膜181B）を介して、容量素子Cの上部電極（TiN膜181C）との間で容量を構成する。これにより、スルーホール179、180内の底部および側壁全周を容量面積として用いることが出来るので、容量値を向上することができる。また、容量素子Cをスルーホール179、180を利用して形成することにより、本実施の形態6のSRAMのメモリセル面積を大きくすることなく、SRAMのメモリセル（図63～図65参照）にソフトエラー耐性の低下を防ぐための容量を付加することが可能となる。すなわち、ソフトエラー耐性の低下を防ぐための容量をSRAMのメモリセルに付加した場合でも、本実施の形態6のSRAMのメモリセルを有するチップのサイズが大きくなってしまいうことを抑制することができる。

【0189】

また、本実施の形態6では、2層の酸化シリコン膜173、170は、縦型MISFETSV1、SV2と中間導電層142、143とを電氣的に接続するプラグ155、縦型MISFETSV1、SV2を形成するp型シリコン膜157、シリコン膜158、p型シリコン膜159、および窒化シリコン膜162、1

72を覆うように形成されている。そのため、2層の酸化シリコン膜173、170の合計の膜厚は厚くなり、酸化シリコン膜173、170を貫通して形成されているスルーホール179、180は、深い（アスペクト比の大きな）スルーホールとすることができる。そのため、スルーホール179、180内には、電極面積の大きな容量素子Cを形成することができる。すなわち、本実施の形態6によれば、容量値の大きな容量素子Cを形成できるので、より高いソフトエラー耐性を有するSRAMを製造することができる。

【0190】

また、本実施の形態6では、容量絶縁膜として窒化シリコン膜181Bを用いることを例示したが、窒化シリコン膜181Bの代わりに酸化タンタル膜または酸化シリコン膜を用いてもよい。特に、酸化タンタル膜を用いた場合には、酸化タンタル膜の比誘電率が高いことから、容量素子Cの容量値を増大し、本実施の形態6のSRAMにおいては、より高いソフトエラー耐性を実現することができる。また、前記実施の形態4で説明したような不純物をドーピングしたアモルファスシリコン膜32A（図50参照）を用い、下部電極の表面に凹凸を形成することで容量素子Cの電極面積を増加させることでも容量素子Cの容量値を増大することができる。

【0191】

次に、図90および図91に示すように、酸化シリコン膜173の上部に絶縁膜としてCVD法で酸化シリコン膜182を堆積し、その酸化シリコン膜182でスルーホール179、180を埋め込んだ後、CMP法で酸化シリコン膜182の表面を研磨することによりその表面を平坦化、その表面の段差を緩和する。なお、スルーホール179、180のアスペクト比は大きいので、酸化シリコン膜182によるスルーホール179、180の完全な埋め込み構造を形成しなくてもよい。スルーホール179、180の内部にて、酸化シリコン膜182に空隙ができあがってしまっても、スルーホール179、180の開口部にて酸化シリコン膜182が開口せずに、酸化シリコン膜182がスルーホール179、180の開口部を完全に塞ぐ状態となればよい。

【0192】

続いて、フォトレジスト膜をマスクにしたドライエッチングで積層体 (P 1、P 2) の上部の酸化シリコン膜 182、TiN 膜 181C (図 89 参照)、窒化シリコン膜 181B (図 89 参照)、酸化シリコン膜 173 および窒化シリコン膜 172、162 を除去することにより、縦型 MISFET (SV1、SV2) の上部半導体層 (ソース) である p 型シリコン膜 159 が露出するスルーホール 183 を形成する。

【0193】

上記ドライエッチングを行う際は、まず積層体 (P 1、P 2) の上部の酸化シリコン膜 182、TiN 膜 181C、窒化シリコン膜 181B および酸化シリコン膜 173 が除去された段階でエッチングを一旦停止し、次に窒化シリコン膜 172、162 をエッチングする。このとき、フォトマスクの合わせずれによって、スルーホール 183 と上部半導体層となる p 型シリコン膜 159 の相対的な位置がたとえば B-B 線方向にずれた場合でも、窒化シリコン膜 162 および p 型シリコン膜 159 の側壁には酸化シリコン膜からなるサイドウォールスペーサ 171 が形成されているので、窒化シリコン膜 172、162 をエッチングしたときに、ゲート電極 166 の上部がサイドウォールスペーサ 171 によって保護され、ゲート電極 166 の露出が防止される。

【0194】

次に周辺回路のスルーホール 177 の上部を覆っている酸化シリコン膜 182 および窒化シリコン膜 181B をエッチングしてスルーホール 184 を形成することにより、スルーホール 177 に埋め込まれたプラグ 178 の表面を露出させる。また、メモリアレイに形成されたスルーホール 174～176 の上部を覆っている酸化シリコン膜 182 をエッチングしてスルーホール 185 を形成することにより、スルーホール 174～176 に埋め込まれたプラグ 178 の表面を露出させる。

【0195】

次に、スルーホール 183～185 の内部にプラグ 186 を形成する。プラグ 186 を形成するには、たとえばスルーホール 183～185 の内部を含む酸化シリコン膜 182 上にスパッタリング法で TiN 膜を堆積し、続いて CVD 法で

TiN膜およびW膜を堆積した後、スルーホール183～185の外部のTiN膜およびW膜をCMP法によって除去する。

【0196】

これらプラグ186が形成されることによって、縦型MISFET (SV1、SV2) の上部半導体層 (ソース) であるp型シリコン膜159と接続するプラグ186の側面には、容量素子Cの上部電極 (TiN膜181C (図89参照)) が接続する。ここで、容量素子Cには、大きな電流を導通させる必要はなく、必要な大きさの電圧が印加されればよいので、プラグ186と容量素子Cの上部電極との接触面積は小さくてもよい。

【0197】

次に、図92および図93に示すように、酸化シリコン膜182の上部にCVD法で炭化シリコン膜187と酸化シリコン膜188とを堆積した後、フォトレジスト膜をマスクにしてスルーホール183、184、185の上部の酸化シリコン膜188と炭化シリコン膜187とをドライエッチングすることにより、配線溝189を形成する。図92に示すように、縦型MISFET (SV1、SV2) の上方に位置するスルーホール183の上部に形成された配線溝189と、この配線溝189の両側に隣接して形成された2つの配線溝189は、Y方向に延在する帯状の平面パターンを有している。また、メモリセルの端部に形成された4つの配線溝189は、Y方向に長辺を有する矩形の平面パターンを有している。

【0198】

次に、縦型MISFET (SV1、SV2) の上方を通る配線溝189の内部に電源電圧線190 (Vdd) を形成し、周辺回路領域の配線溝189の内部に第2層配線191を形成する。また、転送用MISFET (TR1) および駆動用MISFET (DR1) のn⁺型半導体領域114 (ソース、ドレイン) およびプラグ178の上方を通る配線溝189の内部に相補性データ線 (BLT、BLB) の一方 (データ線BLT) を形成し、転送用MISFET (TR2) および駆動用MISFET (DR2) のn⁺型半導体領域114 (ソース、ドレイン) およびプラグ178の上方を通る配線溝189の内部に相補性データ線 (BL

T、BLB)の他方(データ線BLB)を形成する。さらに、メモリセルの端部に形成された4つの配線溝189の内部に引き出し配線192(図94にて図示)を形成する。

【0199】

電源電圧線190(Vdd)、相補性データ線(BLT、BLB)、第2層配線191および引き出し配線192を形成するには、配線溝189の内部を含む酸化シリコン膜188上に導電性バリア膜として、たとえばスパッタリング法で窒化タンタル(TaN)膜またはTa膜を堆積し、さらにスパッタリング法またはめっき法で金属膜であるCu膜を堆積した後、配線溝189の外部の不要なCu膜およびTaN膜をCMP法で除去する。

【0200】

電源電圧線190(Vdd)は、プラグ186を介して縦型MISFET(SV1、SV2)の上部半導体層(ソース)であるp型シリコン膜159と電氣的に接続される。また、相補性データ線(BLT、BLB)の一方(データ線BLT)は、プラグ186、178、中間導電層144およびプラグ128を介して転送用MISFET(TR1)のn+型半導体領域114(ソース、ドレインの一方)と電氣的に接続され、他方(データ線BLB)は、プラグ186、178、中間導電層144およびプラグ128を介して転送用MISFET(TR2)のn+型半導体領域114(ソース、ドレインの他方)と電氣的に接続される。

【0201】

次に、図94および図95に示すように、上記電源電圧線190(Vdd)、相補性データ線(BLT、BLB)、第2層配線191および引き出し配線192が形成された配線層の上部に基準電圧線193(Vss)およびワード線(WL)を形成する。基準電圧線193(Vss)およびワード線(WL)は、図94のX方向に延在する帯状の平面パターンを有している。

【0202】

基準電圧線193(Vss)およびワード線(WL)を形成するには、まず酸化シリコン膜188の上部に絶縁膜194を堆積した後、この絶縁膜194に配線溝195を形成し、続いてこの配線溝195の内部を含む絶縁膜194上に前

述した方法でCu膜およびTa₂N膜を堆積した後、配線溝195の外部の不要なCu膜およびTa₂N膜をCMP法で除去する。絶縁膜194は、たとえばCVD法で堆積した酸化シリコン膜と炭化シリコン膜と酸化シリコン膜との積層膜で構成する。また、絶縁膜194に配線溝195を形成する際には、メモリセルの端部に形成された4つの引き出し配線192のそれぞれの上部の配線溝195に開口195aを形成し、これらの開口195aを通じて4つの引き出し配線192のそれぞれの一部を配線溝195の底部に露出させる。

【0203】

基準電圧線193 (V_{ss}) は、引き出し配線192、プラグ186、178、中間導電層144およびプラグ128を介して駆動用MISFET (DR1、DR2) のそれぞれのn⁺型半導体領域114 (ソース) と電氣的に接続される。また、ワード線 (WL) は、引き出し配線192、プラグ186、178、中間導電層141およびプラグ128を介して転送用MISFET (TR1、TR2) のそれぞれn⁺型半導体領域114 (ソース、ドレインの他方) と電氣的に接続される。ここまでの工程により、本実施の形態6のSRAMが完成し、前述の図63に示した回路を実現できる。容量素子Cの上部電極 (TiN膜181C) は、電源電圧線190 (V_{dd}) と電氣的に接続し、常に電源電圧 (V_{dd}) となるため、蓄積ノード (A、B) が0V (Low) となった時に容量素子Cに容量を生じさせることが可能となる。

【0204】

また、図96に示すように、容量素子Cの上部電極となるTiN膜181Cのパターニングを行う際に、TiN膜181Cが電源電圧線190 (V_{dd}) と電氣的接続をせずに、基準電圧線193 (V_{ss}) と電氣的接続をするようにパターニングを行う。すなわち、スルーホール183内に形成され電源電圧線190 (V_{dd}) と電氣的に接続するプラグ186とは接続せずに、スルーホール186内に形成され基準電圧線190 (V_{dd}) と電氣的に接続するプラグ186の側面に接続するようにTiN膜181Cのパターニングを行う。これにより、前述の図64に示した回路を実現できる。容量素子Cの上部電極 (TiN膜181C) は、基準電圧線193 (V_{ss}) と電氣的に接続し、常に基準電圧 (V_{ss})

)となるため、蓄積ノード(A、B)がhighとなった時に容量素子Cに容量を生じさせることが可能となる。

【0205】

(実施の形態7)

図97～図99は、本実施の形態7であるアナログ回路の例を示す回路図もしくはブロック図である。本実施の形態7においては、これらのアナログ回路が有する容量素子として、たとえば前記実施の形態3で示した周辺回路領域ACA(図32参照)に形成された容量素子C1(図32参照)と同様の工程で形成された容量素子を適用するものである。

【0206】

図97は、本実施の形態7におけるサンプルホールド回路の一例を示したものである。このサンプルホールド回路は、信号サンプル用のスイッチSW1と、電圧を保持するためのホールドコンデンサChと、増幅率1のバッファアンプBAMPとで構成される。スイッチSW1が閉じている状態(サンプル状態)では、入力電圧がそのまま出力電圧となる。スイッチSW1が開いている状態(ホールド状態)では、ホールドコンデンサChの電圧が出力電圧となる。ホールドコンデンサChは、サンプル時の電圧を保持しているので、出力電圧は、サンプル時の入力電圧の値が次のサンプル状態まで保持される。

【0207】

図98は、本実施の形態7における一次フィルタ(ローパスフィルタ)回路の一例を示したものである。この一次フィルタ回路は、たとえば抵抗成分を含む回路ブロックCBとコンデンサCL1とで構成される。この一次フィルタ回路によって、入力電圧のうち不要な高周波成分が除去されたものが出力電圧となる。

【0208】

図99は、本実施の形態7におけるPLL(Phase Locked Loop)回路の一例を示したものである。このPLL回路は、たとえば位相比較回路PCと、チャージポンプCPと、抵抗RおよびコンデンサCL2を有するループフィルタLFと、リングオシレータROを有する電圧制御発振器VCOとで構成される。位相比較器PCは、入力される基準クロックと電圧制御発振器VCOからのPLLクロ

ック（出力クロック）との位相差を検出して差信号電圧を出力する。この差信号電圧は、チャージポンプを介してループフィルタ L F へ伝達され、そのループフィルタ L F にて不要な高周波成分が除去された後に電圧制御発振器 V C O の制御電圧端子に印加される。電圧制御発振器 V C O は、基準クロックの周波数と出力クロックの周波数との差が縮まる方向に出力クロックの周波数を変化させる。この動作を繰り返し、出力クロックの周波数が基準クロックの周波数と同じになると前記位相差は 0 となり、ループが安定な状態（位相ロック状態）を保ち動作は完了する。なお、ループフィルタ L F は、系の応答特性および定常特性の決定も行う。

【0209】

上記ホールドコンデンサ C h およびコンデンサ C L 1、C L 2 は、サージまたは高周波ノイズなどが出力されることを防ぎ、出力電圧を安定化させるために比較的大きな容量値を必要とする。このような大きな容量値のホールドコンデンサ C h およびコンデンサ C L 1、C L 2 を、たとえば前記実施の形態 3 にて図 3 3 および図 3 4 を用いて説明した容量素子 C 1 1 と同様の構成の容量素子とした場合には、チップ上にて容量素子が占める面積が増大し、本実施の形態 7 のアナログ回路を有するチップのサイズの大型化を招くことになる。そこで、ホールドコンデンサ C h およびコンデンサ C L 1、C L 2 を前記実施の形態 3 にて説明した容量素子 C 1 と容量素子とすることによって、ホールドコンデンサ C h およびコンデンサ C L 1、C L 2 がチップ上にて占める面積を大幅に縮小することができる。すなわち、本実施の形態 7 のアナログ回路を形成するのに必要な面積を大幅に縮小できるので、本実施の形態 7 のアナログ回路を有するチップのサイズを小型化することができる。

【0210】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0211】

前記実施の形態 1 ～ 5 では、A 1 膜を主導電層とした配線を形成する場合につ

いて例示したが、層間絶縁膜に配線形成用の溝を形成し、その溝内に銅を主成分とする導電性膜を埋め込むことで配線を形成してもよい。

【0212】

以下、本実施の形態において開示される発明のうち、代表的なものについて簡単に説明すれば、以下のとおりである。

1. 一对の相補性データ線とワード線との交差部に配置された第1および第2の転送用MISFETと、第1および第2の駆動用MISFETと、第1および第2の負荷用MISFETとを有し、前記第1の駆動用MISFETおよび前記第1の負荷用MISFETと、前記第2の駆動用MISFETおよび前記第2の負荷用MISFETとが交差結合したメモリセルを有する半導体集積回路装置であって、

前記第1および第2の転送用MISFETと、前記第1および第2の駆動用MISFETとは、半導体基板の主面に形成され、

前記半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜に形成された第1開口部とを有し、

前記第1開口部の側壁および底部には、前記第1開口部の側壁および底部に沿って形成された第1導電性膜を下部電極とし、前記第1導電性膜の上部に形成された第2絶縁膜を容量絶縁膜とし、前記第2絶縁膜の上部に形成された第2導電性膜を上部電極とする第1容量素子が形成され、

前記第1容量素子の上部には前記第1および第2の負荷用MISFETと電気的に接続する電源電圧線および前記第1および第2の駆動用MISFETと基準電圧線が形成され、

前記下部電極は、前記第1の駆動用MISFETのドレイン、前記第1の負荷用MISFETのドレイン、前記第2の駆動用MISFETのゲート電極および前記第2の負荷用MISFETのゲート電極を電気的に接続して前記メモリセルの第1の蓄積ノードを形成し、前記第2の駆動用MISFETのドレイン、前記第2の負荷用MISFETのドレイン、前記第1の駆動用MISFETのゲート電極および前記第1の負荷用MISFETのゲート電極を電気的に接続して前記メモリセルの第2の蓄積ノードを形成し、

前記第1容量素子は、前記第1の蓄積ノードおよび前記第2の蓄積ノードと前記電源電圧線との間、前記第1の蓄積ノードおよび前記第2の蓄積ノードと前記基準電圧線との間、もしくは前記第1の蓄積ノードと前記第2の蓄積ノードとの間に電氣的に接続され、

前記第1開口部は、前記第1および第2の駆動用MISFETのゲート電極と、前記第1および第2の負荷用MISFETのドレインとに達している。

【0213】

前記半導体集積回路装置において、前記第1導電性膜はシリコンを含み、前記第1絶縁膜と前記第2絶縁膜との界面において前記第1導電性膜はシリコン粒を有する。

2. 一对の相補性データ線とワード線との交差部に配置された第1および第2の転送用MISFETと、第1および第2の駆動用MISFETと、第1および第2の負荷用MISFETとを有し、前記第1の駆動用MISFETおよび前記第1の負荷用MISFETと、前記第2の駆動用MISFETおよび前記第2の負荷用MISFETとが交差結合したメモリセルを有する半導体集積回路装置であって、

前記第1および第2の転送用MISFETと、前記第1および第2の駆動用MISFETとは、半導体基板の主面に形成され、

前記半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜に形成された第1開口部とを有し、

前記第1開口部の側壁および底部には、前記第1開口部の側壁および底部に沿って形成された第1導電性膜を下部電極とし、前記第1導電性膜の上部に形成された第2絶縁膜を容量絶縁膜とし、前記第2絶縁膜の上部に形成された第2導電性膜を上部電極とする第1容量素子が形成され、

前記第1容量素子の上部には前記第1および第2の負荷用MISFETと電氣的に接続する電源電圧線および前記第1および第2の駆動用MISFETと基準電圧線が形成され、

前記下部電極は、前記第1の駆動用MISFETのドレイン、前記第1の負荷用MISFETのドレイン、前記第2の駆動用MISFETのゲート電極および

前記第2の負荷用MISFETのゲート電極を電氣的に接続して前記メモリセルの第1の蓄積ノードを形成し、前記第2の駆動用MISFETのドレイン、前記第2の負荷用MISFETのドレイン、前記第1の駆動用MISFETのゲート電極および前記第1の負荷用MISFETのゲート電極を電氣的に接続して前記メモリセルの第2の蓄積ノードを形成し、

前記第1容量素子は、前記第1の蓄積ノードおよび前記第2の蓄積ノードと前記電源電圧線との間、前記第1の蓄積ノードおよび前記第2の蓄積ノードと前記基準電圧線との間、もしくは前記第1の蓄積ノードと前記第2の蓄積ノードとの間に電氣的に接続され、

前記第1および第2の負荷用MISFETは、前記第1および第2の転送用MISFETと、前記第1および第2の駆動用MISFETのそれぞれよりも上部に形成され、前記第1の負荷用MISFETは、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、前記第2の負荷用MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、前記第1絶縁膜は、前記第1および前記第2の負荷用MISFETを覆うように形成されている。

【0214】

前記半導体集積回路装置において、前記第1導電性膜はシリコンを含み、前記第1絶縁膜と前記第2絶縁膜との界面において前記第1導電性膜はシリコン粒を有する。

3. 一对の相補性データ線とワード線との交差部に配置された第1および第2の転送用MISFETと、第1および第2の駆動用MISFETと、第1および第2の負荷用MISFETとを有し、前記第1の駆動用MISFETおよび前記第1の負荷用MISFETと、前記第2の駆動用MISFETおよび前記第2の負荷用MISFETとが交差結合したメモリセルを有する半導体集積回路装置であって、

前記第 1 および第 2 の転送用 M I S F E T と、前記第 1 および第 2 の駆動用 M I S F E T とは、半導体基板の主面に形成され、

前記半導体基板上に形成された第 1 絶縁膜と、前記第 1 絶縁膜に形成された第 1 開口部とを有し、

前記第 1 開口部の側壁および底部には、前記第 1 開口部の側壁および底部に沿って形成された第 1 導電性膜を下部電極とし、前記第 1 導電性膜の上部に形成された第 2 絶縁膜を容量絶縁膜とし、前記第 2 絶縁膜の上部に形成された第 2 導電性膜を上部電極とする第 1 容量素子が形成され、

前記第 1 容量素子の上部には前記第 1 および第 2 の負荷用 M I S F E T と電気的に接続する電源電圧線および前記第 1 および第 2 の駆動用 M I S F E T と基準電圧線が形成され、

前記下部電極は、前記第 1 の駆動用 M I S F E T のドレイン、前記第 1 の負荷用 M I S F E T のドレイン、前記第 2 の駆動用 M I S F E T のゲート電極および前記第 2 の負荷用 M I S F E T のゲート電極を電気的に接続して前記メモリセルの第 1 の蓄積ノードを形成し、前記第 2 の駆動用 M I S F E T のドレイン、前記第 2 の負荷用 M I S F E T のドレイン、前記第 1 の駆動用 M I S F E T のゲート電極および前記第 1 の負荷用 M I S F E T のゲート電極を電気的に接続して前記メモリセルの第 2 の蓄積ノードを形成し、

前記第 1 容量素子は、前記第 1 の蓄積ノードおよび前記第 2 の蓄積ノードと前記電源電圧線との間、前記第 1 の蓄積ノードおよび前記第 2 の蓄積ノードと前記基準電圧線との間、もしくは前記第 1 の蓄積ノードと前記第 2 の蓄積ノードとの間に電気的に接続され、

前記半導体基板の主面上の第 1 領域に前記メモリセルが形成され、前記半導体基板の主面上の第 2 領域に電源回路が形成され、

前記第 2 領域における前記第 1 絶縁膜に形成された第 2 開口部には、前記第 2 開口部の側壁および底部に沿って形成された前記第 1 導電性膜を下部電極とし、前記第 1 導電性膜の上部に形成された前記第 2 絶縁膜を容量絶縁膜とし、前記第 2 絶縁膜の上部に形成された前記第 2 導電性膜を上部電極とする第 2 容量素子が形成され、

前記電源回路は前記メモリセルに動作電圧を供給し、前記第2容量素子は前記動作電圧と接地電位との間に電氣的に接続される。

【0215】

前記半導体集積回路装置において、前記第1導電性膜はシリコンを含み、前記第1絶縁膜と前記第2絶縁膜との界面において前記第1導電性膜はシリコン粒を有する。

4. 一对の相補性データ線とワード線との交差部に配置された第1および第2の転送用MISFETと、第1および第2の駆動用MISFETと、第1および第2の負荷用MISFETとを有し、前記第1の駆動用MISFETおよび前記第1の負荷用MISFETと、前記第2の駆動用MISFETおよび前記第2の負荷用MISFETとが交差結合したメモリセルと、電源回路とを有する半導体集積回路装置であって、

前記半導体基板の主面上の第1領域に前記メモリセルが形成され、前記半導体基板の主面上の第2領域に電源回路が形成され、

前記半導体基板上に第1絶縁膜が形成され、

前記第2領域における前記第1絶縁膜に形成された第2開口部には、前記第2開口部の側壁および底部に沿って形成された第1導電性膜を下部電極とし、前記第1導電性膜の上部に形成された第2絶縁膜を容量絶縁膜とし、前記第2絶縁膜の上部に形成された第2導電性膜を上部電極とする第2容量素子が形成され、

前記電源回路は前記メモリセルに動作電圧を供給し、前記第2容量素子は前記動作電圧と接地電位との間に電氣的に接続されている。

【0216】

前記半導体集積回路装置において、前記第1導電性膜はシリコンを含み、前記第1絶縁膜と前記第2絶縁膜との界面において前記第1導電性膜はシリコン粒を有する。

5. 半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜に形成された第2開口部とを有し、

前記第2開口部の側壁および底部には、前記第2開口部の側壁および底部に沿って形成された第1導電性膜を下部電極とし、前記第1導電性膜の上部に形成さ

れた第2絶縁膜を容量絶縁膜とし、前記第2絶縁膜の上部に形成された第2導電性膜を上部電極とする容量素子が形成され、前記容量素子はアナログ回路を形成する。

【0217】

前記半導体集積回路装置において、前記第1導電性膜はシリコンを含み、前記第1絶縁膜と前記第2絶縁膜との界面において前記第1導電性膜はシリコン粒を有する。

6. 一对の相補性データ線とワード線との交差部に配置された第1および第2の転送用MISFETと、第1および第2の駆動用MISFETと、第1および第2の負荷用MISFETとを有し、前記第1の駆動用MISFETおよび前記第1の負荷用MISFETと、前記第2の駆動用MISFETおよび前記第2の負荷用MISFETとが交差結合したメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面に前記第1および第2の転送用MISFETと、前記第1および第2の駆動用MISFETとを形成する工程、

(b) 前記半導体基板上に第1絶縁膜を形成し、前記第1絶縁膜に第1開口部を形成する工程、

(c) 前記第1開口部の側壁および底部に第1導電性膜を形成し、前記第1導電性膜を介して前記第1の駆動用MISFETのドレインと前記第1の負荷用MISFETのドレインと前記第2の駆動用MISFETのゲート電極と前記第2の負荷用MISFETのゲート電極とを電気的に接続して前記メモリセルの第1の蓄積ノードを形成し、前記第1導電性膜を介して前記第2の駆動用MISFETのドレインと前記第2の負荷用MISFETのドレインと前記第1の駆動用MISFETのゲート電極と前記第1の負荷用MISFETのゲート電極とを電気的に接続して前記メモリセルの第2の蓄積ノードを形成する工程、

(d) 前記第1導電性膜上に第2絶縁膜を形成し、前記第2絶縁膜上に第2導電性膜を形成し、前記第1導電性膜を下部電極とし、前記第2絶縁膜を容量絶縁膜とし、前記第2導電性膜を上部電極とする第1容量素子を形成する工程、

(e) 前記第1容量素子の上部に電源電圧線および基準電圧線を形成する工程、

を含み、前記第 1 容量素子は、前記第 1 の蓄積ノードおよび前記第 2 の蓄積ノードと前記電源電圧線との間、前記第 1 の蓄積ノードおよび前記第 2 の蓄積ノードと前記基準電圧線との間、もしくは前記第 1 の蓄積ノードと前記第 2 の蓄積ノードとの間に電氣的に接続する。

【0218】

前記製造方法において、前記第 1 導電性膜は、

(c 1) 前記第 1 開口部の内部を含む前記第 1 絶縁膜上に不純物を含むアモルファスシリコン膜を形成する工程、

(c 2) 減圧雰囲気中にて前記アモルファスシリコン膜の表面に SiH_4 ガスを含有ガスを供給し、前記アモルファスシリコン膜の表面にシリコン粒を形成する工程、

を含む工程によって形成する。

7. 一对の相補性データ線とワード線との交差部に配置された第 1 および第 2 の転送用 MISFET と、第 1 および第 2 の駆動用 MISFET と、第 1 および第 2 の負荷用 MISFET とを有し、前記第 1 の駆動用 MISFET および前記第 1 の負荷用 MISFET と、前記第 2 の駆動用 MISFET および前記第 2 の負荷用 MISFET とが交差結合したメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面に前記第 1 および第 2 の転送用 MISFET と、前記第 1 および第 2 の駆動用 MISFET とを形成する工程、

(b) 前記半導体基板上に第 1 絶縁膜を形成し、前記第 1 絶縁膜に第 1 開口部を形成する工程、

(c) 前記第 1 開口部の側壁および底部に第 1 導電性膜を形成し、前記第 1 導電性膜を介して前記第 1 の駆動用 MISFET のドレインと前記第 1 の負荷用 MISFET のドレインと前記第 2 の駆動用 MISFET のゲート電極と前記第 2 の負荷用 MISFET のゲート電極とを電氣的に接続して前記メモリセルの第 1 の蓄積ノードを形成し、前記第 1 導電性膜を介して前記第 2 の駆動用 MISFET のドレインと前記第 2 の負荷用 MISFET のドレインと前記第 1 の駆動用 MISFET のゲート電極と前記第 1 の負荷用 MISFET のゲート電極とを電氣的

に接続して前記メモリセルの第2の蓄積ノードを形成する工程、

(d) 前記第1導電性膜上に第2絶縁膜を形成し、前記第2絶縁膜上に第2導電性膜を形成し、前記第1導電性膜を下部電極とし、前記第2絶縁膜を容量絶縁膜とし、前記第2導電性膜を上部電極とする第1容量素子を形成する工程、

(e) 前記第1容量素子の上部に電源電圧線および基準電圧線を形成する工程、
を含み、

前記第1容量素子は、前記第1の蓄積ノードおよび前記第2の蓄積ノードと前記電源電圧線との間、前記第1の蓄積ノードおよび前記第2の蓄積ノードと前記基準電圧線との間、もしくは前記第1の蓄積ノードと前記第2の蓄積ノードとの間に電氣的に接続し、

前記半導体基板の主面上の第1領域に前記メモリセルを形成し、前記半導体基板の主面上の第2領域に前記メモリセルに動作電圧を供給する電源回路を形成し、

(f) 前記第2領域の前記第1絶縁膜に第2開口部を形成する工程、

(g) 前記第2開口部の側壁および底部に沿って前記第1導電性膜を形成し、前記第2開口部内の前記第1導電性膜上に前記第2絶縁膜を形成し、前記第2開口部内の前記第2絶縁膜上に前記第2導電性膜を形成し、前記第1導電性膜を下部電極とし、前記第2絶縁膜を容量絶縁膜とし、前記第2導電性膜を上部電極とし、前記電源回路および前記メモリセルと接地電位との間に電氣的に接続される第2容量素子を形成する工程、
を含む工程によって形成する。

【0219】

前記製造方法において、前記第1導電性膜は、

(c1) 前記第1開口部の内部を含む前記第1絶縁膜上に不純物を含むアモルファスシリコン膜を形成する工程、

(c2) 減圧雰囲気中にて前記アモルファスシリコン膜の表面に SiH_4 ガスを含有ガスを供給し、前記アモルファスシリコン膜の表面にシリコン粒を形成する工程、

を含む工程によって形成する。

【0220】

前記製造方法において、前記（b）工程の前に前記半導体基板上に第3絶縁膜を形成する工程を含み、前記第1開口部および前記第2開口部は、少なくとも一方の底部が前記第3絶縁膜に達するように形成し、前記第1導電性膜および前記第2導電性膜をそれぞれ前記第1絶縁膜上に延在するように形成し、前記（d）工程は、

（d1）前記第1絶縁膜上に第4絶縁膜を形成する工程、

（d2）前記第4絶縁膜を穿孔し、前記第1絶縁膜上に延在する前記第1導電性膜に達する接続孔および前記第1絶縁膜上に延在する前記第2導電性膜に達する接続孔を形成する工程、

（d3）前記接続孔内に導電層を形成する工程、
を含む工程によって形成する。

8. 一对の相補性データ線とワード線との交差部に配置された第1および第2の転送用MISFETと、第1および第2の駆動用MISFETと、第1および第2の負荷用MISFETとを有し、前記第1の駆動用MISFETおよび前記第1の負荷用MISFETと、前記第2の駆動用MISFETおよび前記第2の負荷用MISFETとが交差結合したメモリセルと、前記メモリセルに動作電圧を供給する電源回路とを有する半導体集積回路装置の製造方法であって、

半導体基板の主面上の第1領域に前記メモリセルを形成し、前記半導体基板の主面上の第2領域に前記電源回路を形成し、

（a）前記半導体基板上に第1絶縁膜を形成する工程、

（b）前記第2領域の前記第1絶縁膜に第2開口部を形成する工程、

（c）前記第2開口部の側壁および底部に沿って前記第1導電性膜を形成し、前記第1導電性膜上に前記第2絶縁膜を形成し、前記第2絶縁膜上に前記第2導電性膜を形成し、前記第1導電性膜を下部電極とし、前記第2絶縁膜を容量絶縁膜とし、前記第2導電性膜を上部電極とし、前記電源回路および前記メモリセルと接地電位との間に電氣的に接続される第2容量素子を形成する工程、
を含む工程によって形成する。

【0221】

前記製造方法において、前記第 1 導電性膜は、

(c 1) 前記第 1 開口部の内部を含む前記第 1 絶縁膜上に不純物を含むアモルファスシリコン膜を形成する工程、

(c 2) 減圧雰囲気中にて前記アモルファスシリコン膜の表面に SiH_4 ガスを含むガスを供給し、前記アモルファスシリコン膜の表面にシリコン粒を形成する工程、

を含む工程によって形成する。

【0222】

前記製造方法において、前記 (a) 工程の前に前記半導体基板上に第 3 絶縁膜を形成する工程を含み、前記第 2 開口部は底部が前記第 3 絶縁膜に達するように形成し、前記第 1 導電性膜および前記第 2 導電性膜をそれぞれ前記第 1 絶縁膜上に延在するように形成し、

(d) 前記第 1 絶縁膜上に第 4 絶縁膜を形成する工程、

(e) 前記第 4 絶縁膜を穿孔し、前記第 1 絶縁膜上に延在する前記第 1 導電性膜に達する接続孔および前記第 1 絶縁膜上に延在する前記第 2 導電性膜に達する接続孔を形成する工程、

(f) 前記接続孔内に導電層を形成する工程、
を含む工程によって形成する。

9. (a) 半導体基板上に第 1 絶縁膜を形成する工程、

(b) 前記第 1 絶縁膜に第 2 開口部を形成する工程、

(c) 前記第 2 開口部の側壁および底部に沿って前記第 1 導電性膜を形成し、前記第 1 導電性膜上に前記第 2 絶縁膜を形成し、前記第 2 絶縁膜上に前記第 2 導電性膜を形成し、前記第 1 導電性膜を下部電極とし、前記第 2 絶縁膜を容量絶縁膜とし、前記第 2 導電性膜を上部電極とする容量素子を形成する工程、
を含み、前記容量素子を用いてアナログ回路を形成することを特徴とする半導体集積回路装置の製造方法であって、前記第 1 導電性膜は、

(c 1) 前記第 1 開口部の内部を含む前記第 1 絶縁膜上に不純物を含むアモルファスシリコン膜を形成する工程、

(c 2) 減圧雰囲気中にて前記アモルファスシリコン膜の表面に SiH_4 ガスを

含むガスを供給し、前記アモルファスシリコン膜の表面にシリコン粒を形成する工程、
を含む工程によって形成する。

【0223】

前記製造方法において、前記（a）工程の前に前記半導体基板上に第3絶縁膜を形成する工程を含み、前記第2開口部は、底部が前記第3絶縁膜に達するように形成し、前記第1導電性膜および前記第2導電性膜をそれぞれ前記第1絶縁膜上に延在するように形成し、

（d）前記第1絶縁膜上に第4絶縁膜を形成する工程、

（e）前記第4絶縁膜を穿孔し、前記第1絶縁膜上に延在する前記第1導電性膜に達する接続孔および前記第1絶縁膜上に延在する前記第2導電性膜に達する接続孔を形成する工程、

（f）前記接続孔内に導電層を形成する工程、
を含む工程によって形成する。

10. 半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜に形成された複数の第2開口部とを有し、

前記複数の第2開口部の側壁および底部には、前記第2開口部の側壁および底部に沿って形成された第1導電性膜を下部電極とし、前記第1導電性膜の上部に形成された第2絶縁膜を容量絶縁膜とし、前記複数の第2開口部内において前記第2絶縁膜の上部に形成された第2導電性膜を上部電極とする容量素子が形成された半導体集積回路装置であって、前記第1絶縁膜には複数の配線溝が形成され、前記配線溝に配線が形成される。

【0224】

以下、本実施の形態において開示される効果のうち、代表的なものについて簡単に説明すれば、以下のとおりである。

【0225】

すなわち、半導体基板上に成膜された絶縁膜に孔部を形成し、その孔部内に容量素子を形成することにより、その孔部の底部および側壁全周に容量を形成でき、チップサイズを増大させることなく容量素子の容量を向上でき、半導体集積回

路装置の特性を向上できる。また、SRAMのメモリセルの α 線等によるソフトウェアに対する耐性を向上でき、メモリセルの信頼性を向上することができる。

【0226】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

【0227】

すなわち、半導体集積回路装置の特性を向上することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1であるSRAMのメモリセルの等価回路図である。

【図2】

本発明の実施の形態1であるSRAMのメモリセルの等価回路図である。

【図3】

本発明の実施の形態1であるSRAMのメモリセルの等価回路図である。

【図4】

本発明の実施の形態1であるSRAMの製造方法を説明する要部平面図である。

【図5】

本発明の実施の形態1であるSRAMの製造方法を説明する要部断面図である。

【図6】

図5に続くSRAMの製造工程中の要部断面図である。

【図7】

図6に続くSRAMの製造工程中の要部断面図である。

【図8】

図7に続くSRAMの製造工程中の要部断面図である。

【図9】

本発明の実施の形態1であるSRAMの製造工程中の要部平面図である。

【図 1 0】

図 8 に続く S R A M の製造工程中の要部断面図である。

【図 1 1】

図 1 0 に続く S R A M の製造工程中の要部断面図である。

【図 1 2】

本発明の実施の形態 1 である S R A M の製造工程中の要部平面図である。

【図 1 3】

図 1 1 に続く S R A M の製造工程中の要部断面図である。

【図 1 4】

図 1 2 に続く S R A M の製造工程中の要部平面図である。

【図 1 5】

図 1 3 に続く S R A M の製造工程中の要部断面図である。

【図 1 6】

図 1 4 に続く S R A M の製造工程中の要部平面図である。

【図 1 7】

図 1 5 に続く S R A M の製造工程中の要部断面図である。

【図 1 8】

本発明の実施の形態 1 である S R A M の製造工程中の要部平面図である。

【図 1 9】

本発明の実施の形態 1 である S R A M の製造工程中の要部平面図である。

【図 2 0】

本発明の実施の形態 1 である S R A M の製造工程中の要部断面図である。

【図 2 1】

本発明の実施の形態 2 である S R A M の製造方法を説明する要部断面図である。

【図 2 2】

図 2 1 に続く S R A M の製造工程中の要部断面図である。

【図 2 3】

本発明の実施の形態 2 である S R A M の製造工程中の要部平面図である。

【図 2 4】

図 2 2 に続く S R A M の製造工程中の要部断面図である。

【図 2 5】

図 2 3 に続く S R A M の製造工程中の要部平面図である。

【図 2 6】

図 2 4 に続く S R A M の製造工程中の要部断面図である。

【図 2 7】

図 2 5 に続く S R A M の製造工程中の要部平面図である。

【図 2 8】

図 2 6 に続く S R A M の製造工程中の要部断面図である。

【図 2 9】

本発明の実施の形態 2 である S R A M の製造工程中の要部平面図である。

【図 3 0】

本発明の実施の形態 3 である半導体集積回路装置を有するチップの平面図である。

【図 3 1】

図 3 0 に示したチップに形成された基準電源回路の説明図である。

【図 3 2】

本発明の実施の形態 3 の一例である半導体集積回路装置の要部断面図である。

【図 3 3】

本発明の実施の形態 3 の一例である半導体集積回路装置に形成された容量素子と比較検討した容量素子の平面図である。

【図 3 4】

本発明の実施の形態 3 の一例である半導体集積回路装置に形成された容量素子と比較検討した容量素子の断面図である。

【図 3 5】

本発明の実施の形態 3 の一例である半導体集積回路装置の要部断面図である。

【図 3 6】

本発明の実施の形態 3 の一例である半導体集積回路装置の製造方法を説明する

要部断面図である。

【図 3 7】

図 3 6 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 3 8】

本発明の実施の形態 3 の一例である半導体集積回路装置の製造工程中の要部平面図である。

【図 3 9】

本発明の実施の形態 3 の一例である半導体集積回路装置の製造工程中の要部断面図である。

【図 4 0】

図 3 7 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 4 1】

図 4 0 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 4 2】

図 4 1 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 4 3】

図 4 2 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 4 4】

本発明の実施の形態 3 の一例である半導体集積回路装置の製造工程中の要部断面図である。

【図 4 5】

図 4 3 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 4 6】

図 4 5 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 4 7】

本発明の実施の形態 3 の一例である半導体集積回路装置の製造工程中の要部断面図である。

【図 4 8】

図 4 6 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 4 9】

本発明の実施の形態 3 の一例である半導体集積回路装置の製造工程中の要部平面図である。

【図 5 0】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を説明する要部断面図である。

【図 5 1】

図 5 0 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 5 2】

図 5 1 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 5 3】

図 5 2 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 5 4】

本発明の実施の形態 4 である半導体集積回路装置の製造工程中の要部断面図である。

【図 5 5】

本発明の実施の形態 5 である半導体集積回路装置の製造方法を説明する要部断面図である。

【図 5 6】

図 5 5 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 5 7】

図 5 6 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 5 8】

図 5 7 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 5 9】

本発明の実施の形態 5 である半導体集積回路装置の製造工程中の要部断面図である。

【図 6 0】

図 5 8 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 6 1】

本発明の実施の形態 5 である半導体集積回路装置の製造工程中の要部断面図である。

【図 6 2】

本発明の実施の形態 5 である半導体集積回路装置の製造工程中の要部断面図である。

【図 6 3】

本発明の実施の形態 6 である S R A M のメモリセルの等価回路図である。

【図 6 4】

本発明の実施の形態 6 である S R A M のメモリセルの等価回路図である。

【図 6 5】

本発明の実施の形態 6 である S R A M のメモリセルの等価回路図である。

【図 6 6】

本発明の実施の形態 6 である S R A M の製造方法を説明する要部平面図である。

【図 6 7】

本発明の実施の形態 6 である S R A M の製造方法を説明する要部断面図である。

【図 6 8】

図 6 6 に続く S R A M の製造工程中の要部平面図である。

【図 6 9】

図 6 7 に続く S R A M の製造工程中の要部断面図である。

【図 7 0】

図 6 8 に続く S R A M の製造工程中の要部平面図である。

【図 7 1】

図 6 9 に続く S R A M の製造工程中の要部断面図である。

【図 7 2】

図 7 0 に続く S R A M の製造工程中の要部平面図である。

【図 7 3】

図 7 1 に続く S R A M の製造工程中の要部断面図である。

【図 7 4】

図 7 2 に続く S R A M の製造工程中の要部平面図である。

【図 7 5】

図 7 3 に続く S R A M の製造工程中の要部断面図である。

【図 7 6】

図 7 4 に続く S R A M の製造工程中の要部平面図である。

【図 7 7】

図 7 5 に続く S R A M の製造工程中の要部断面図である。

【図 7 8】

図 7 7 に続く S R A M の製造工程中の要部断面図である。

【図 7 9】

本発明の実施の形態 6 である S R A M の製造工程中の要部平面図である。

【図 8 0】

図 7 8 に続く S R A M の製造工程中の要部断面図である。

【図 8 1】

図 8 0 に続く S R A M の製造工程中の要部断面図である。

【図 8 2】

本発明の実施の形態 6 である S R A M の製造工程中の要部平面図である。

【図 8 3】

図 8 1 に続く S R A M の製造工程中の要部断面図である。

【図 8 4】

図 8 2 に続く S R A M の製造工程中の要部平面図である。

【図 8 5】

図 8 3 に続く S R A M の製造工程中の要部断面図である。

【図 8 6】

図 8 5 に続く S R A M の製造工程中の要部断面図である。

【図 8 7】

図 8 6 に続く S R A M の製造工程中の要部断面図である。

【図 8 8】

本発明の実施の形態 6 である S R A M の製造工程中の要部平面図である。

【図 8 9】

図 8 7 に続く S R A M の製造工程中の要部断面図である。

【図 9 0】

図 8 8 に続く S R A M の製造工程中の要部平面図である。

【図 9 1】

図 8 9 に続く S R A M の製造工程中の要部断面図である。

【図 9 2】

図 9 0 に続く S R A M の製造工程中の要部平面図である。

【図 9 3】

図 9 1 に続く S R A M の製造工程中の要部断面図である。

【図 9 4】

図 9 2 に続く S R A M の製造工程中の要部平面図である。

【図 9 5】

図 9 3 に続く S R A M の製造工程中の要部断面図である。

【図 9 6】

本発明の実施の形態 6 である S R A M の製造工程中の要部平面図である。

【図 9 7】

本発明の実施の形態 7 であるアナログ回路の一例を説明する要部回路図である。

【図 9 8】

本発明の実施の形態 7 であるアナログ回路の一例を説明する要部回路図である。

【図 9 9】

本発明の実施の形態 7 であるアナログ回路の一例を説明する要部ブロック図である。

【図 1 0 0】

本発明の実施の形態 2 である S R A M の製造工程中の要部平面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離部
- 3 酸化シリコン膜
- 4 p型ウェル
- 5 n型ウェル
- 7 ゲート酸化膜
- 8 ゲート電極
- 9 サイドウォールスペーサ
- 10 p型半導体領域
- 11 n型半導体領域
- 12 CoSi₂層
- 17 窒化シリコン膜 (第3絶縁膜)
- 20 PSG膜 (第1絶縁膜)
- 21 酸化シリコン膜 (第1絶縁膜)
- 22 窒化シリコン膜
- 25 コンタクトホール (第3開口部)
- 25A 孔部 (第2開口部)
- 26 プラグ
- 26A 窒化チタン膜 (第1導電性膜)
- 26B 窒化シリコン膜 26B (第2絶縁膜)
- 26C 窒化チタン膜 (第2導電性膜)
- 27 窒化シリコン膜 (第1絶縁膜)
- 31 配線溝 (第1開口部)
- 32 窒化チタン膜 (第1導電性膜)
- 32A アモルファスシリコン膜 (第1導電性膜)
- 33 窒化シリコン膜 (第2絶縁膜)
- 34 窒化チタン膜 (第2導電性膜)
- 35 W膜

- 36 配線
- 38 層間絶縁膜 (第1絶縁膜、第4絶縁膜)
- 39 コンタクトホール (第3開口部)
- 39A、39B コンタクトホール
- 40 コンタクトホール (接続孔)
- 41 窒化シリコン膜
- 42、42A、42B、43 プラグ (導電層)
- 44 配線
- 44A Ti膜
- 44B Al膜
- 44C 窒化チタン膜
- 45 配線
- 46 窒化シリコン膜
- 47 層間絶縁膜
- 48、49 コンタクトホール
- 50、51 プラグ
- 52、53、53A 配線
- 55 層間絶縁膜
- 57 プラグ
- 58 配線
- 101 基板
- 102 素子分離溝
- 103 酸化シリコン膜
- 104 p型ウェル
- 105 n型ウェル
- 106 ゲート絶縁膜
- 107A、107B、107C ゲート電極
- 109 n-型半導体領域
- 113 サイドウォールスペーサ

- 1 1 4 n⁺型半導体領域
- 1 1 5 p⁺型半導体領域
- 1 1 9 窒化シリコン膜
- 1 2 0 酸化シリコン膜
- 1 2 1 ~ 1 2 7 コンタクトホール
- 1 2 8 プラグ
- 1 2 9 窒化シリコン膜
- 1 3 0 酸化シリコン膜
- 1 3 1 ~ 1 3 7 溝
- 1 4 1 ~ 1 4 5 中間導電層
- 1 4 6、1 4 7 第 1 層配線
- 1 4 8 バリア層
- 1 4 9 窒化シリコン膜
- 1 5 1 a、1 5 2 b ゲート引き出し電極
- 1 5 2 酸化シリコン膜
- 1 5 3 スルーホール
- 1 5 4 サイドウォールスペーサ
- 1 5 5 プラグ
- 1 5 7 p 型シリコン膜
- 1 5 8 シリコン膜
- 1 5 9 p 型シリコン膜
- 1 6 1 酸化シリコン膜
- 1 6 2 窒化シリコン膜
- 1 6 3 ゲート絶縁膜
- 1 6 4 第 1 多結晶シリコン層
- 1 6 5 第 2 多結晶シリコン層
- 1 6 6 ゲート電極
- 1 7 0 酸化シリコン膜 (第 1 絶縁膜)
- 1 7 1 サイドウォールスペーサ

1 7 2 窒化シリコン膜（第 1 絶縁膜）
1 7 3 酸化シリコン膜（第 1 絶縁膜）
1 7 4 ~ 1 7 7 スルーホール（第 3 開口部）
1 7 8 プラグ
1 7 9、1 8 0 スルーホール（第 1 開口部）
1 8 1 A T i N 膜（第 1 導電性膜）
1 8 1 B 窒化シリコン膜（第 2 絶縁膜）
1 8 1 C T i N 膜（第 2 導電性膜）
1 8 2 酸化シリコン膜
1 8 3 ~ 1 8 5 スルーホール
1 8 6 プラグ
1 8 7 炭化シリコン膜
1 8 8 酸化シリコン膜
1 8 9 配線溝
1 9 0 電源電圧線
1 9 1 第 2 層配線
1 9 2 引き出し配線
1 9 3 基準電圧線
1 9 4 絶縁膜
1 9 5 配線溝
1 9 5 a 開口
A C A 周辺回路領域（第 2 領域）
A n 1、A n 2、A p 1、A p 2 活性領域
A、A 1、B、B 1 蓄積ノード
B A M P バッファアンプ
C 容量素子（第 1 容量素子）
C 1 容量素子（第 2 容量素子）
C A C P U 領域
C B 回路ブロック

Ch ホールドコンデンサ
CHP チップ
CL1、CL2 コンデンサ
CP チャージポンプ
BLB、BLT、DL、/DL データ線
ILD0～ILD3 層間絶縁膜
INV1、INV2 インバータ
L 活性領域
LF ローパスフィルタ
MC メモリセル
MCA メモリセル領域 (第1領域)
MU1、MU2、MU3 最上層配線
ML1、ML2 配線層
P1、P2 積層体
PC 位相比較器
PLG1～PLG4 プラグ
Qd1、Qd2、DR1、DR2 駆動用MISFET
Qp1、Qp2 負荷用MISFET
Qt1、Qt2、TR1、TR2 転送用MISFET
R 抵抗
RESI1～RESI5 フォトレジスト膜
RLA ランダムロジック領域
RO リングオシレータ
SV1、SV2 縦型MISFET
SW1 スイッチ
T 溝 (第2開口部)
TH 貫通孔
Vcc、Vdd 電源電圧
VCO 電圧制御発振器

V D D i 内部動作電圧

V D R データ保持電圧

V H 孔部（第 2 開口部）

V H 1 溝部（第 2 開口部）

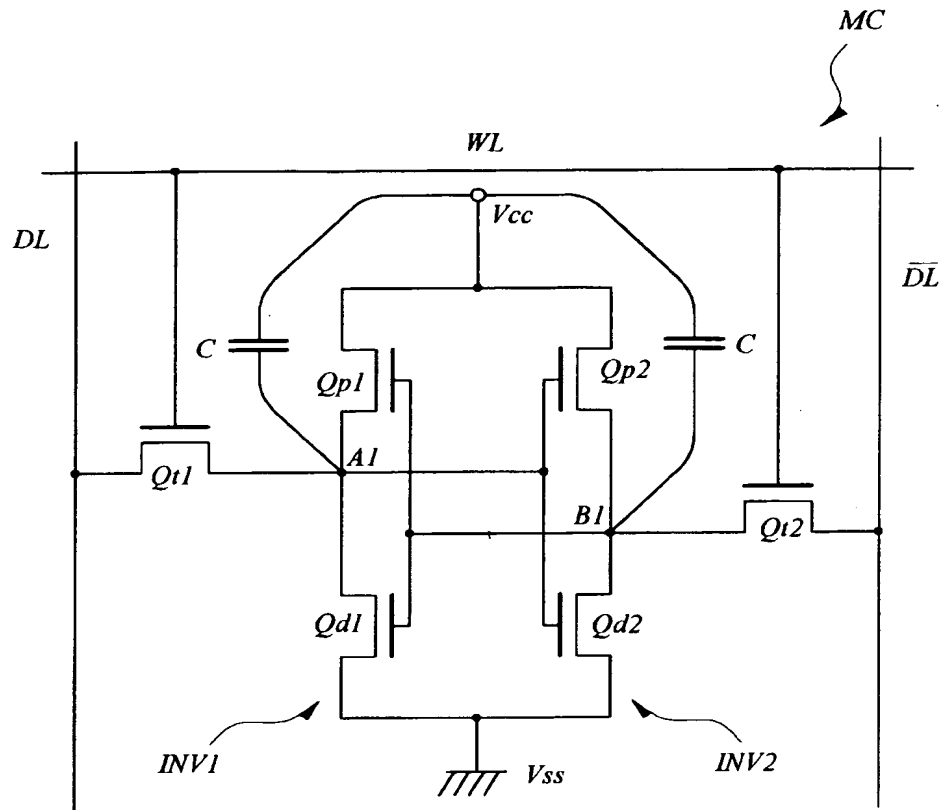
V s s 基準電圧（接地（基板）電位）

W L ワード線

【書類名】 図面

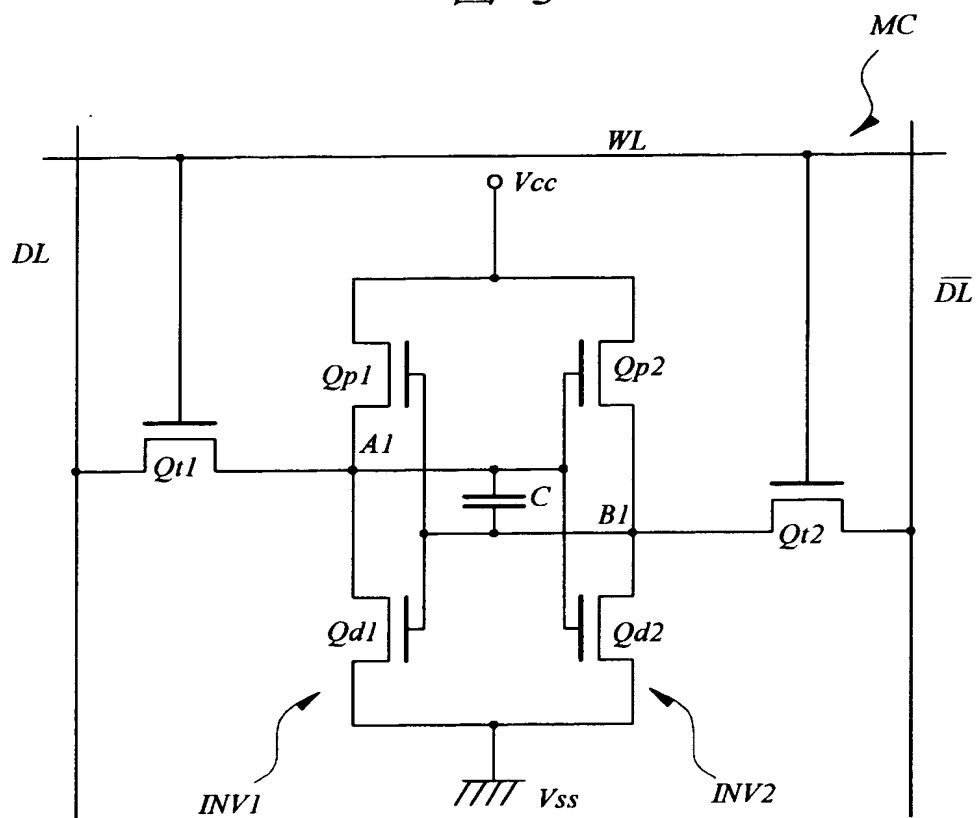
【図 1】

図 1

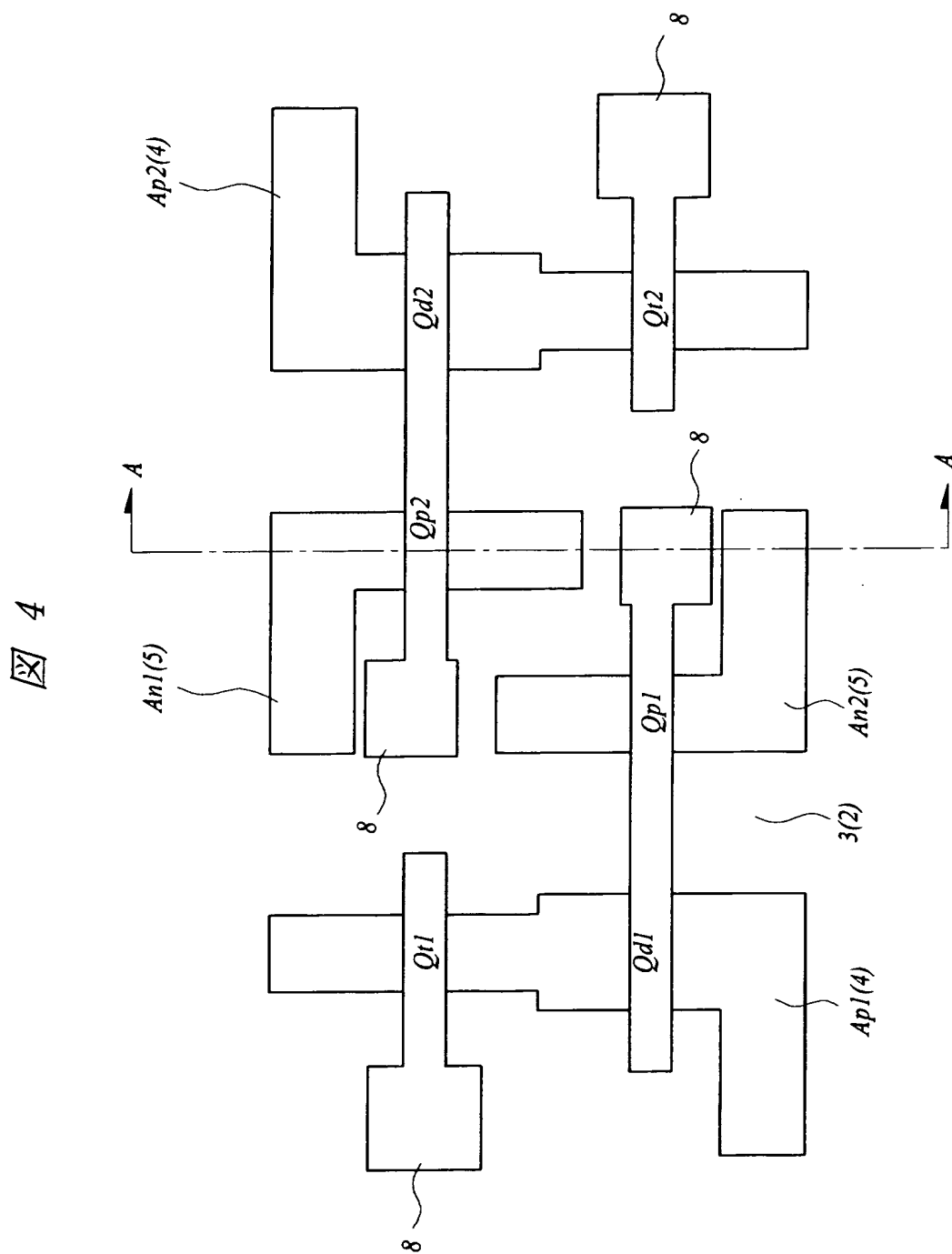


【図 3】

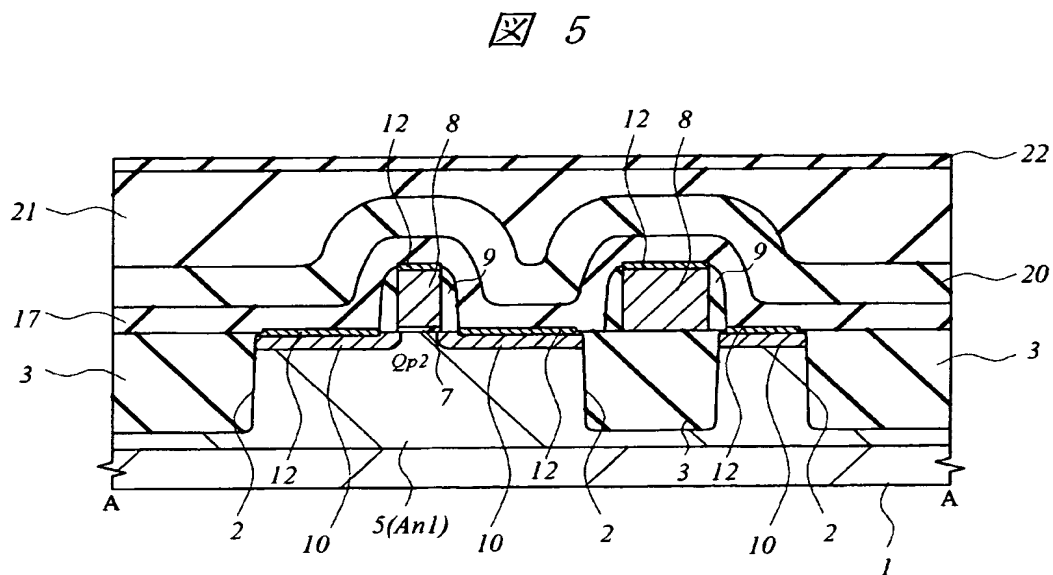
図 3



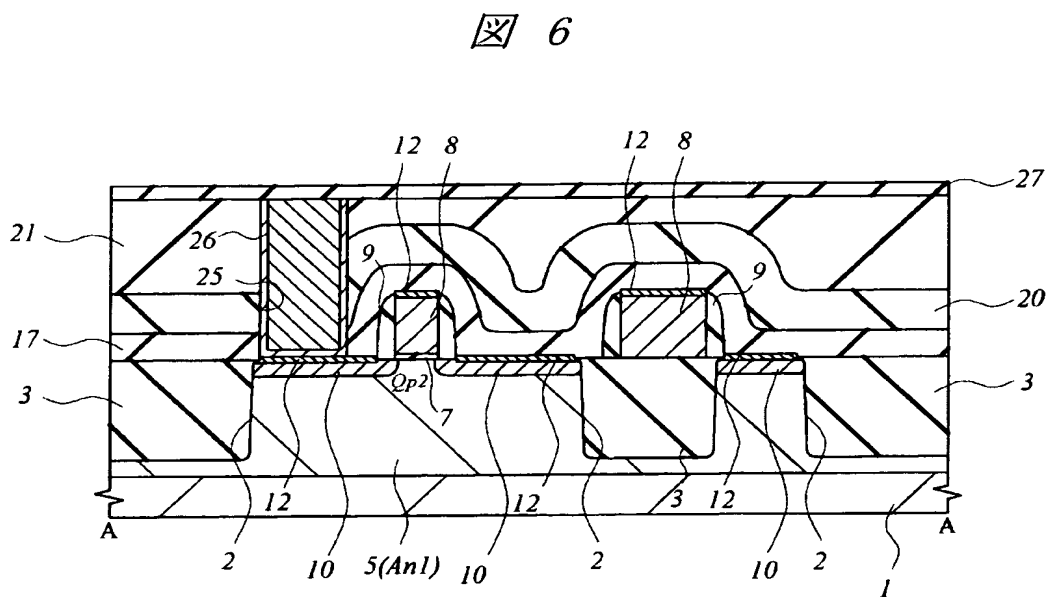
【図 4】



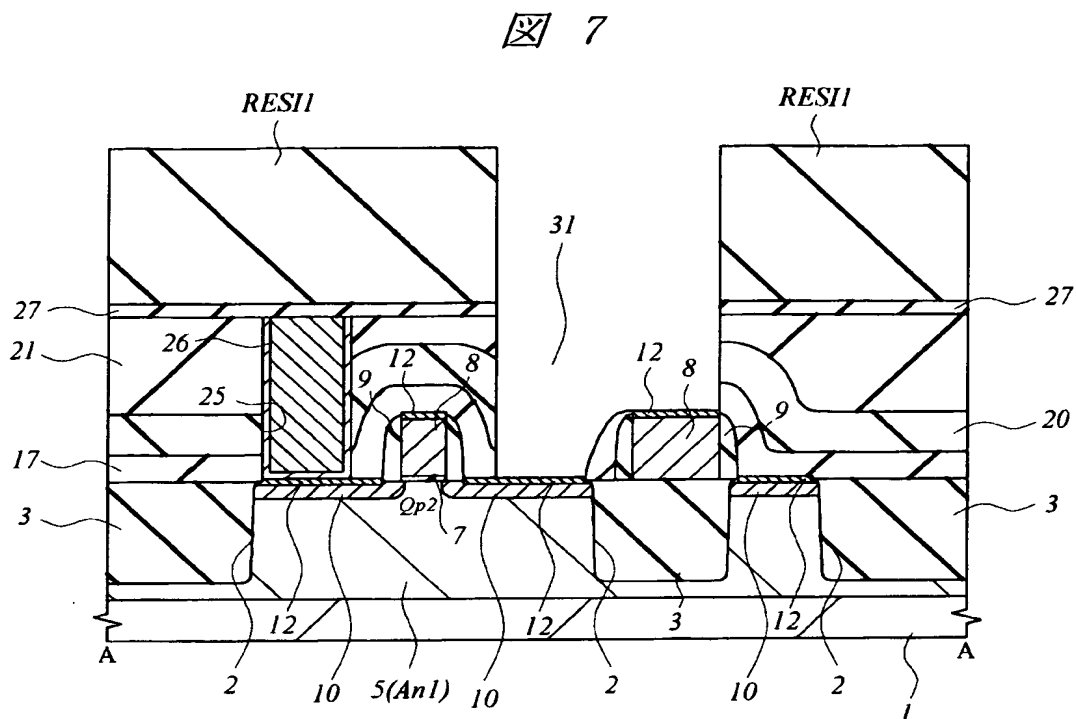
【図 5】



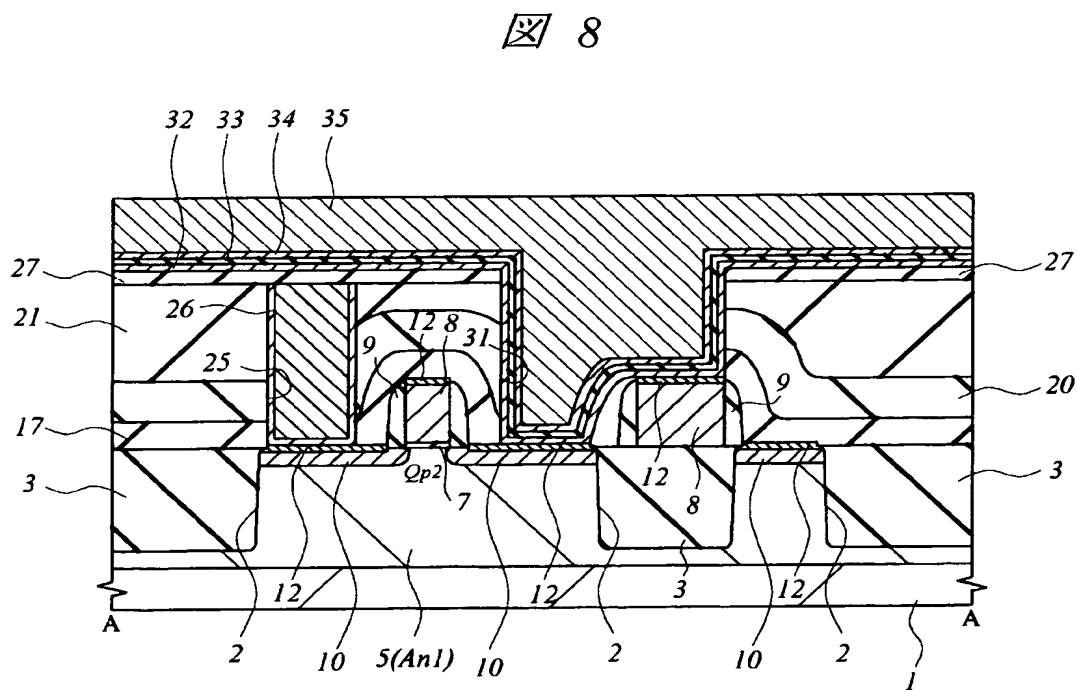
【図 6】



【圖 7】

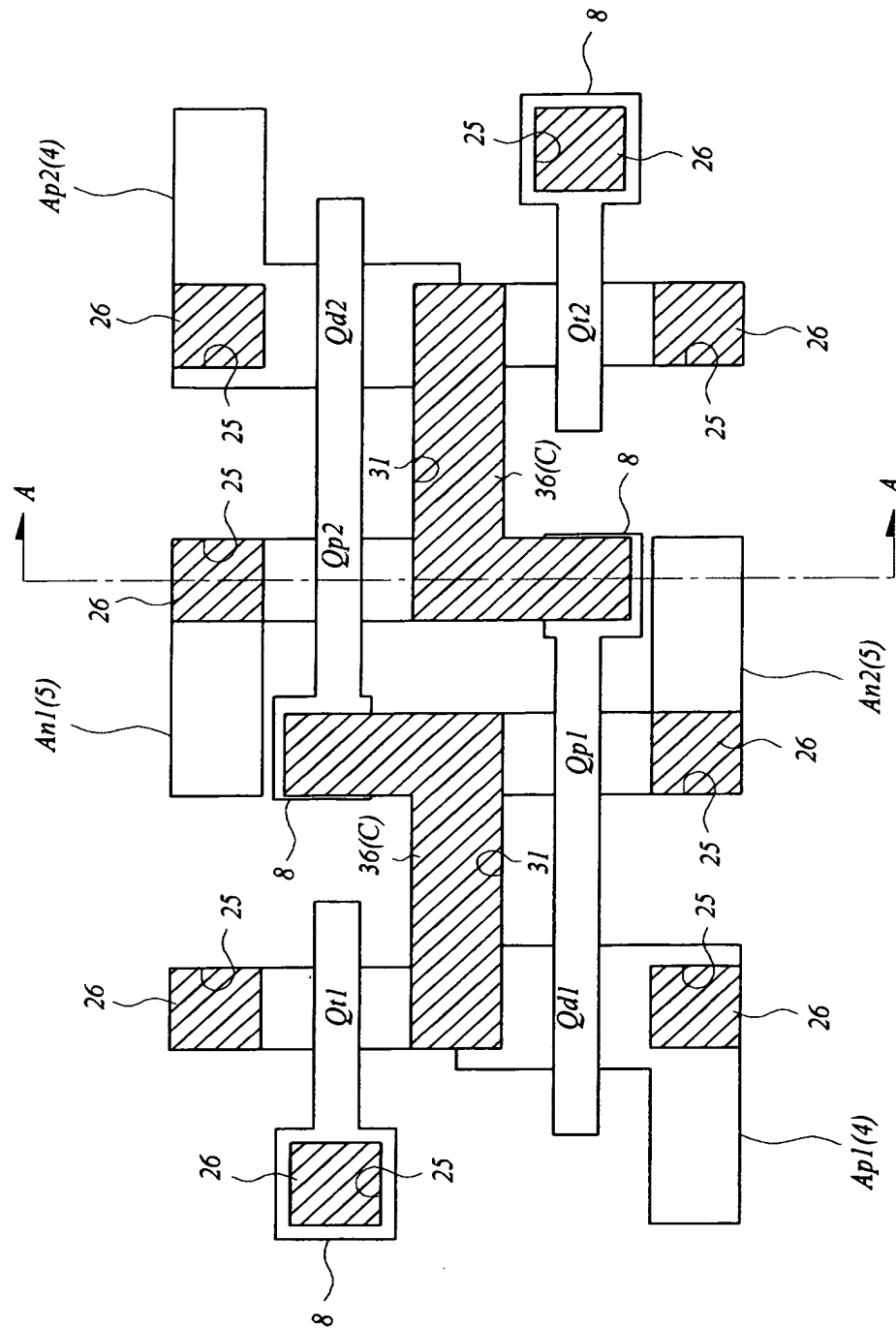


【図 8】



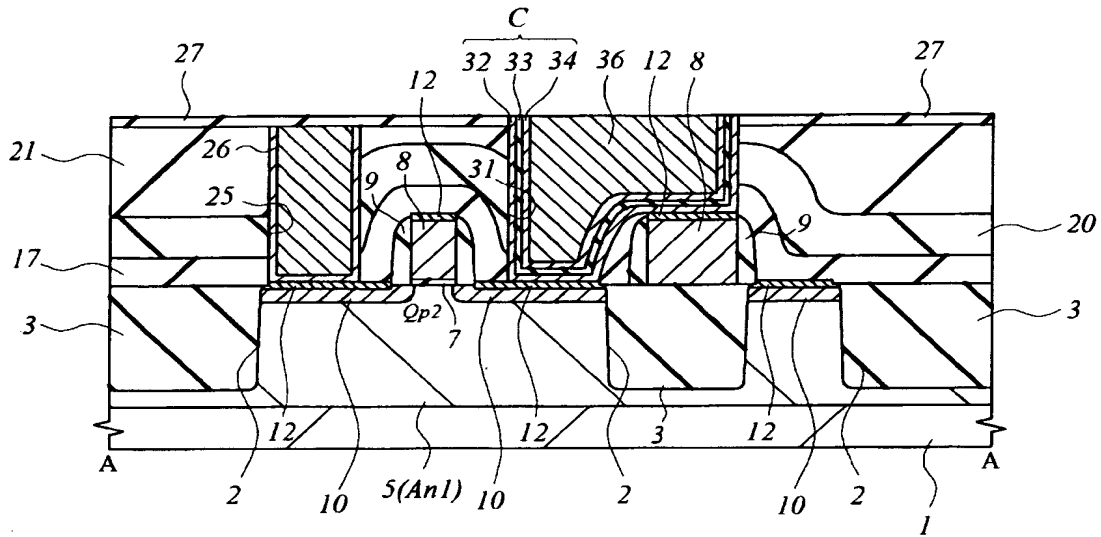
【図 9】

9



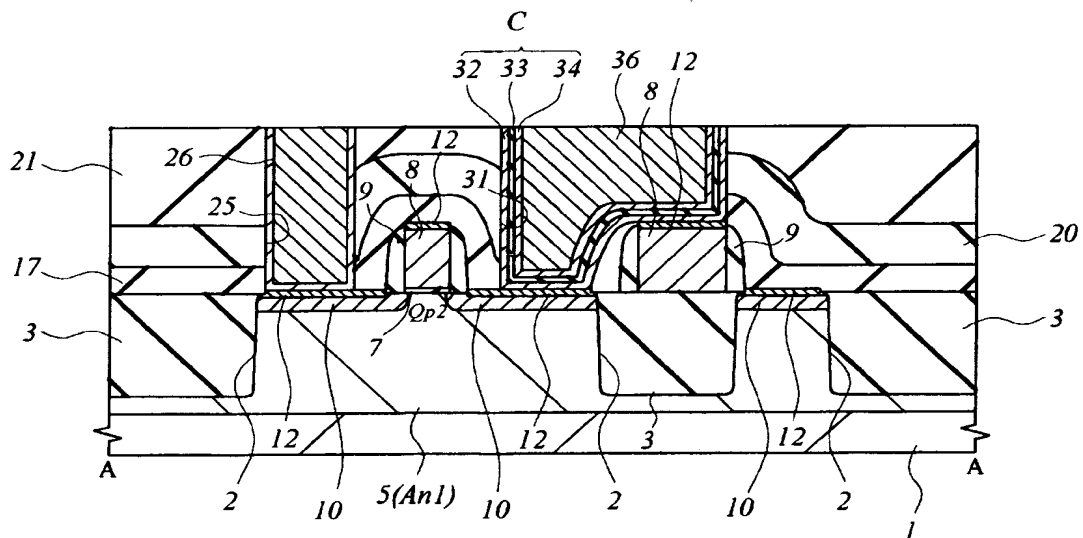
【図 10】

図 10



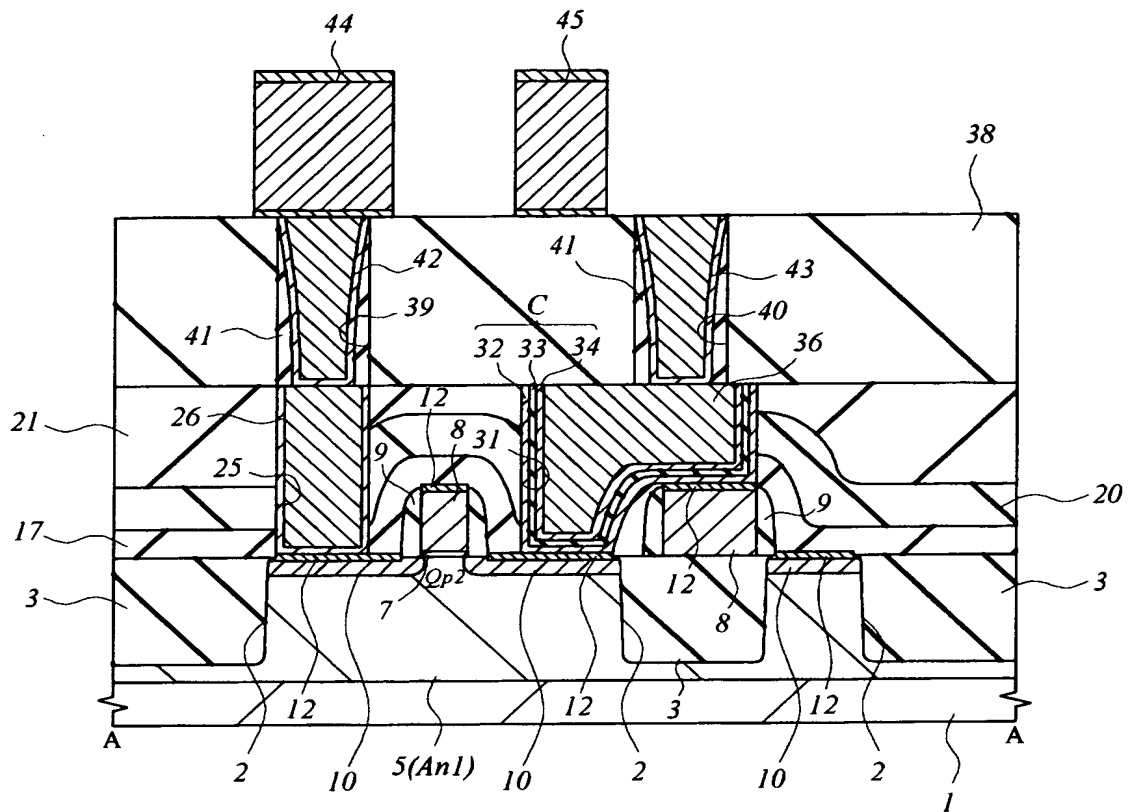
【図 11】

図 11



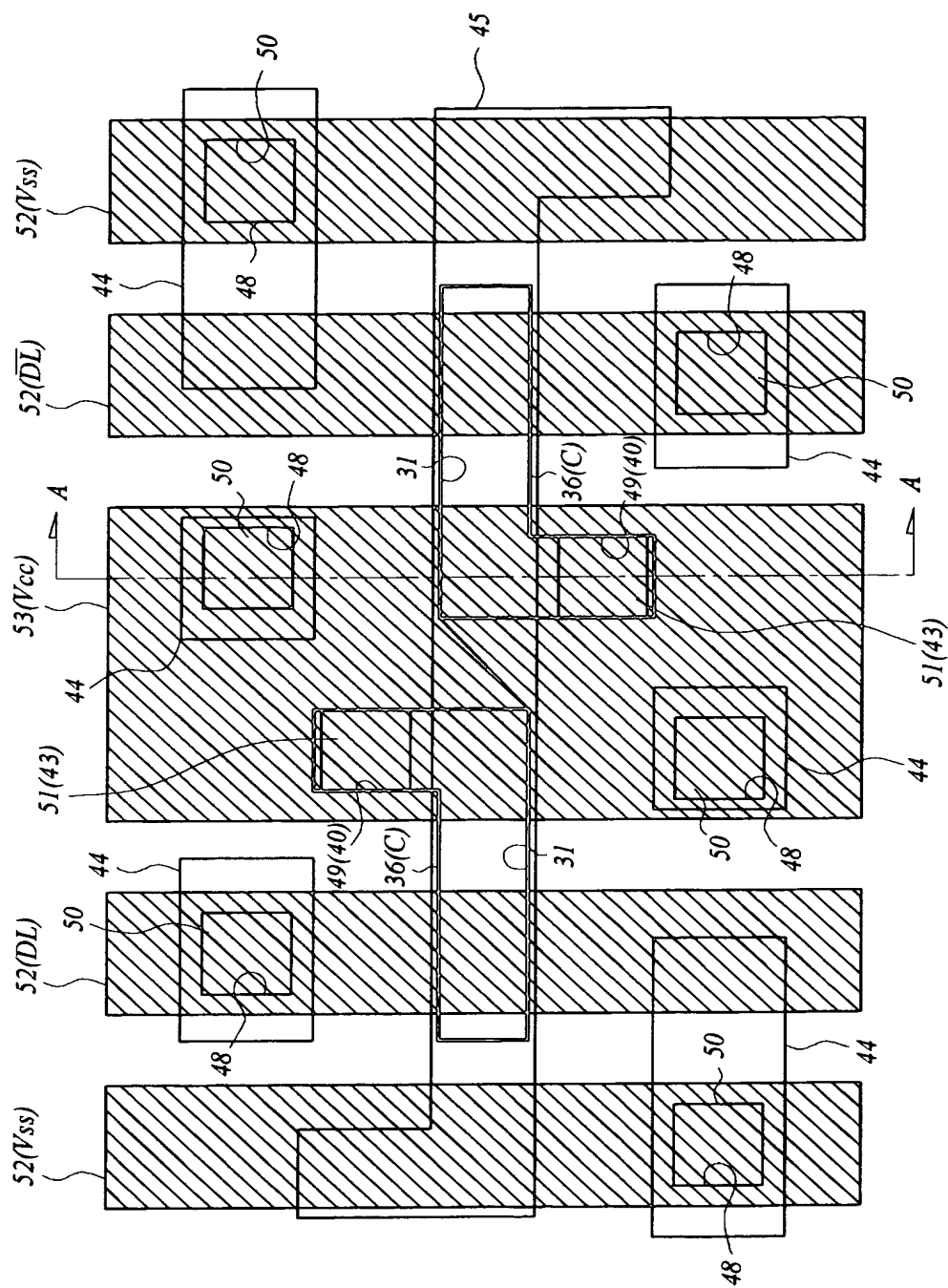
【図 15】

図 15

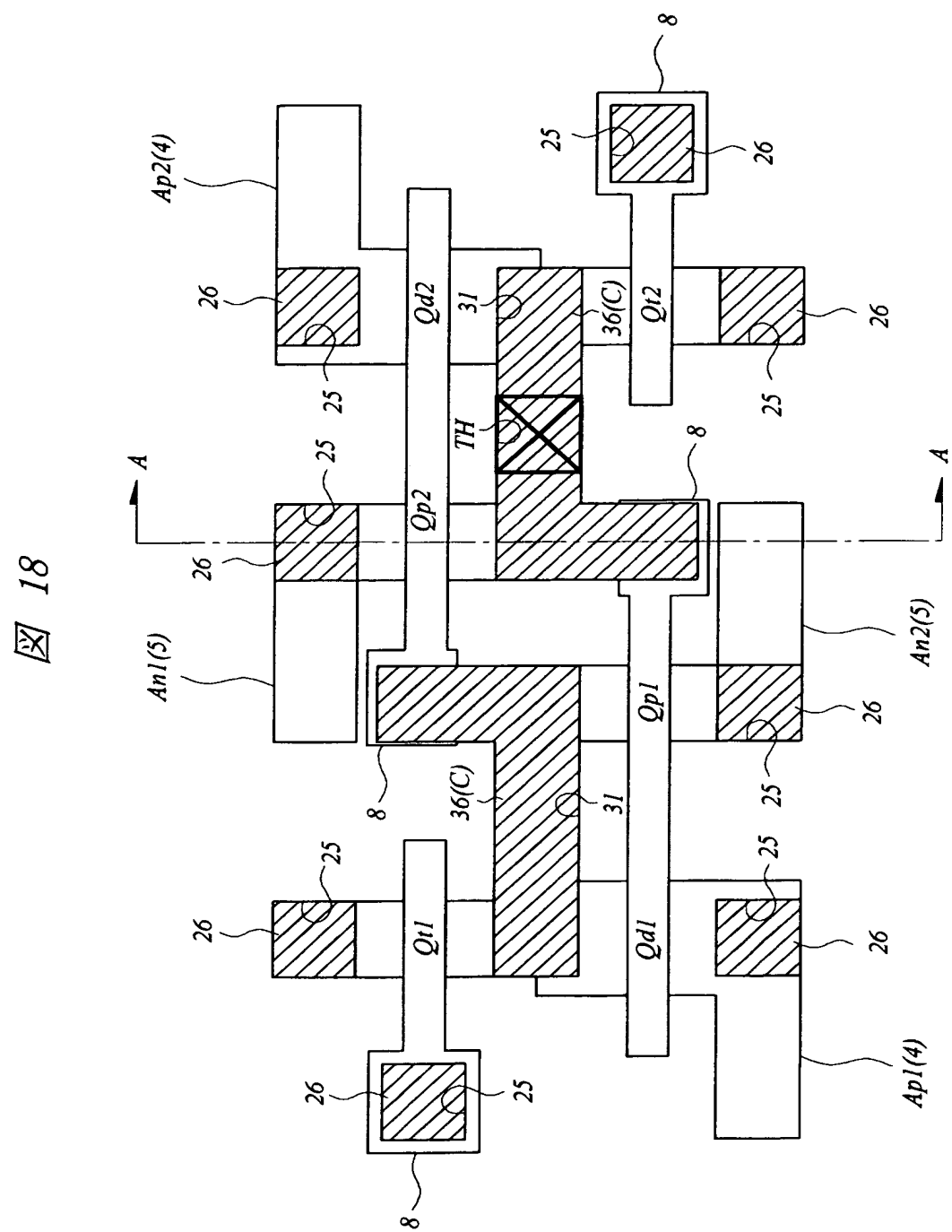


【図 16】

図 16

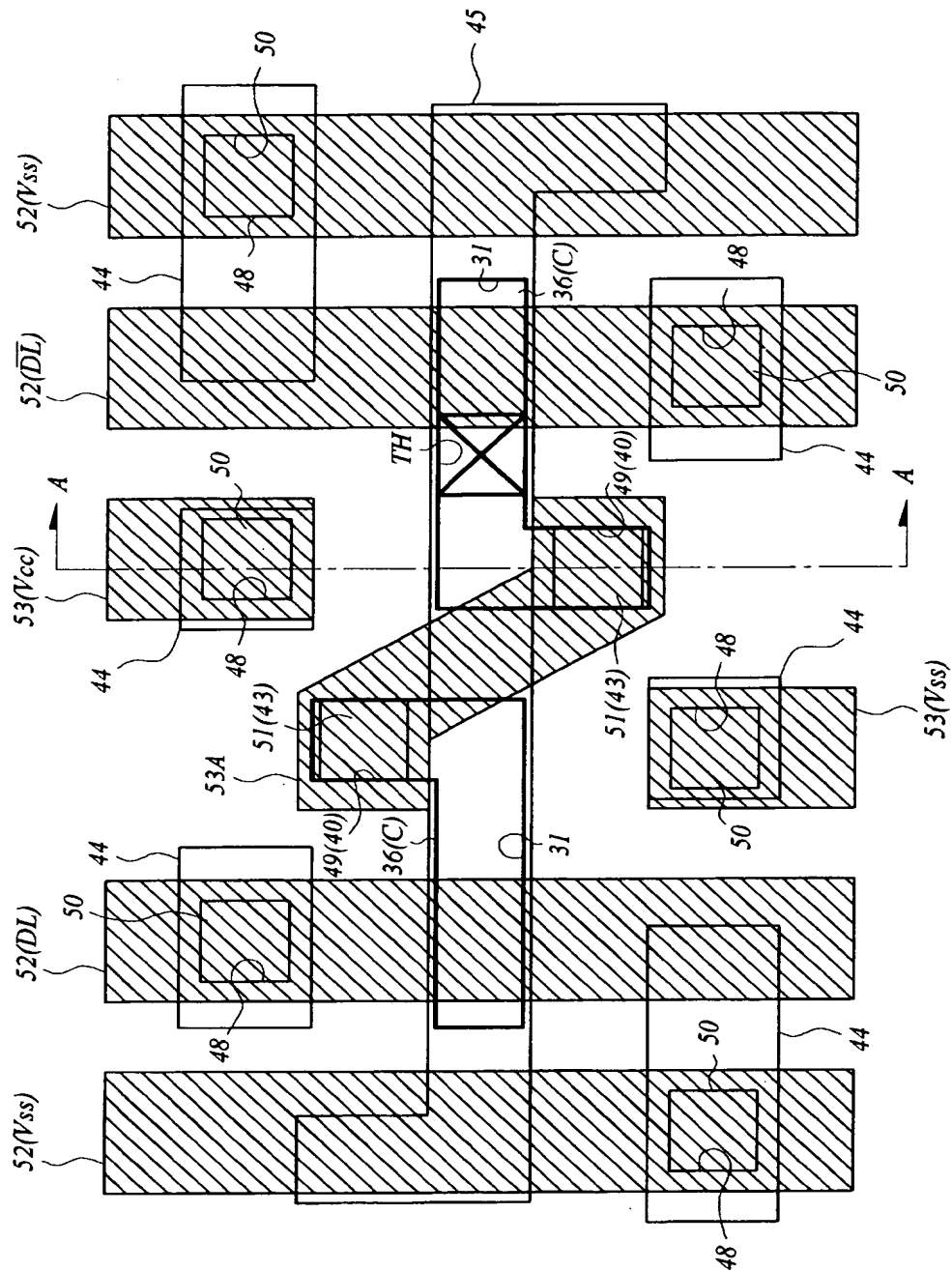


【図 18】



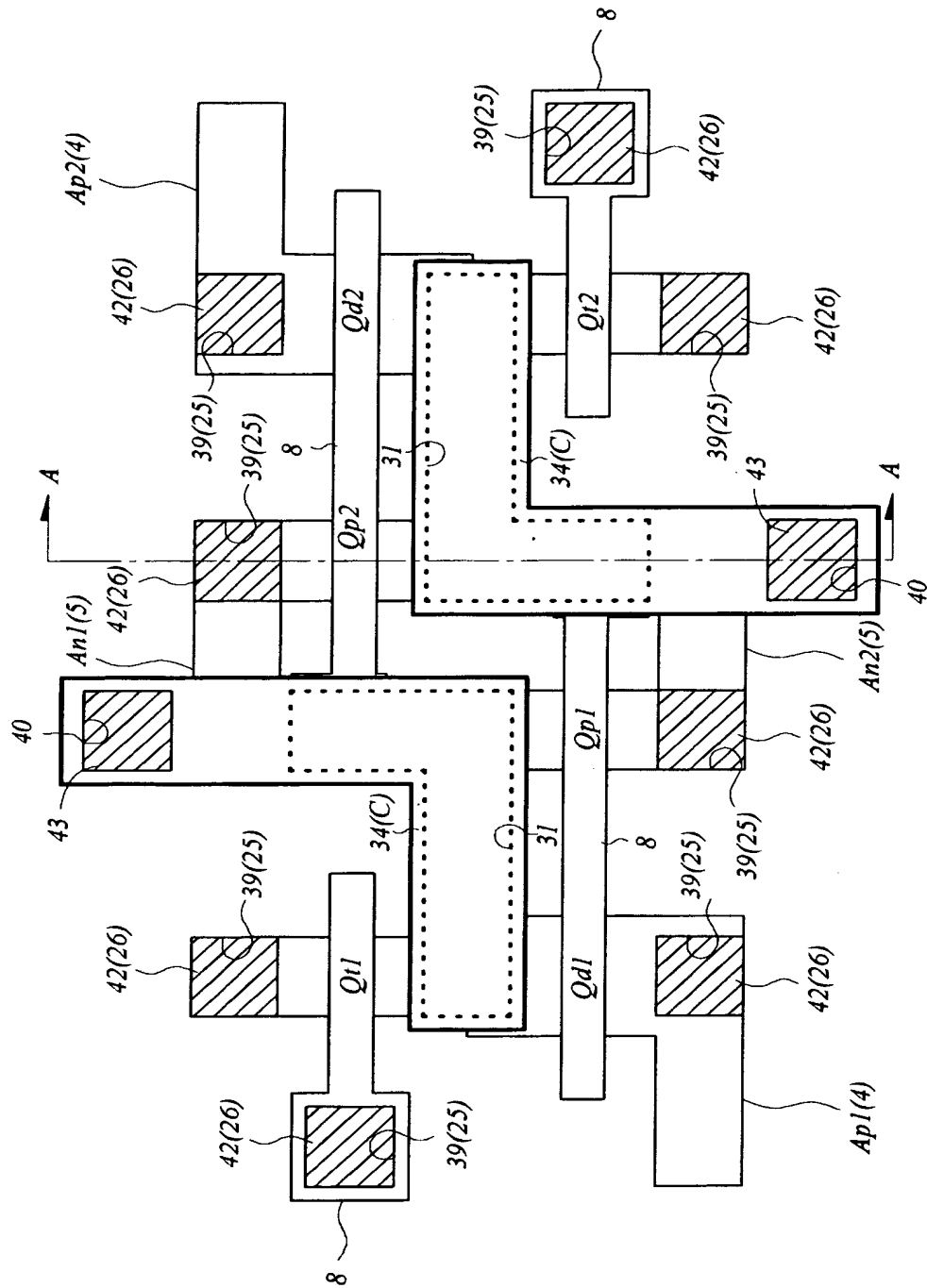
【図 19】

19



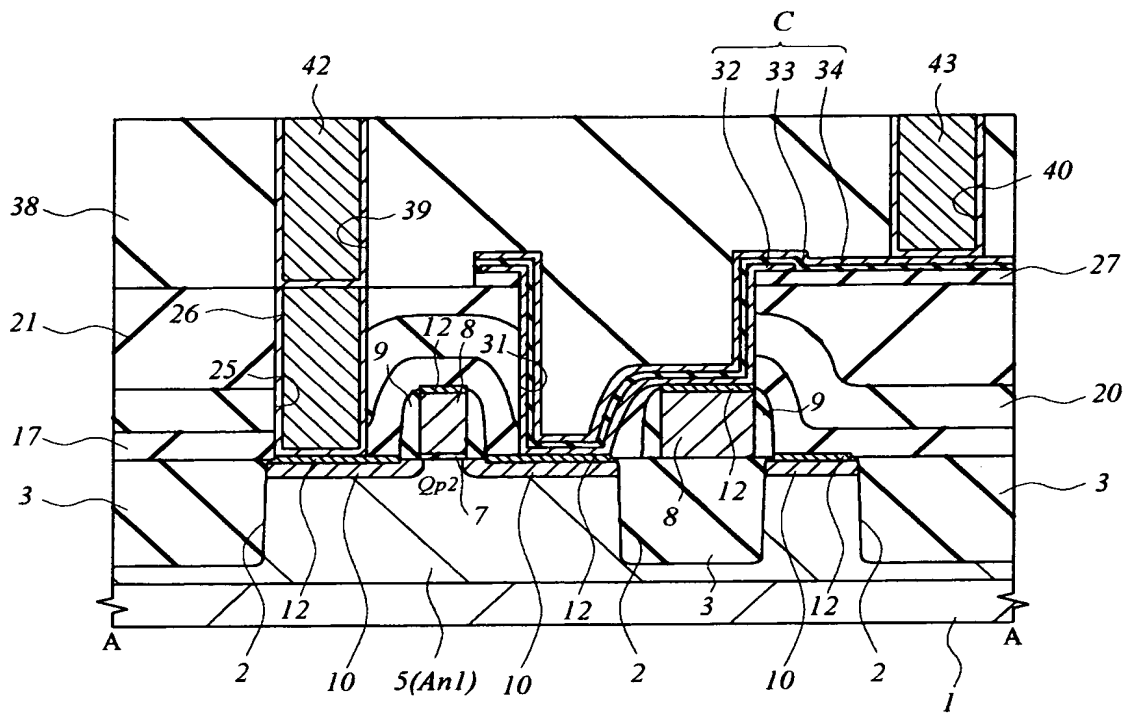
【図 23】

23



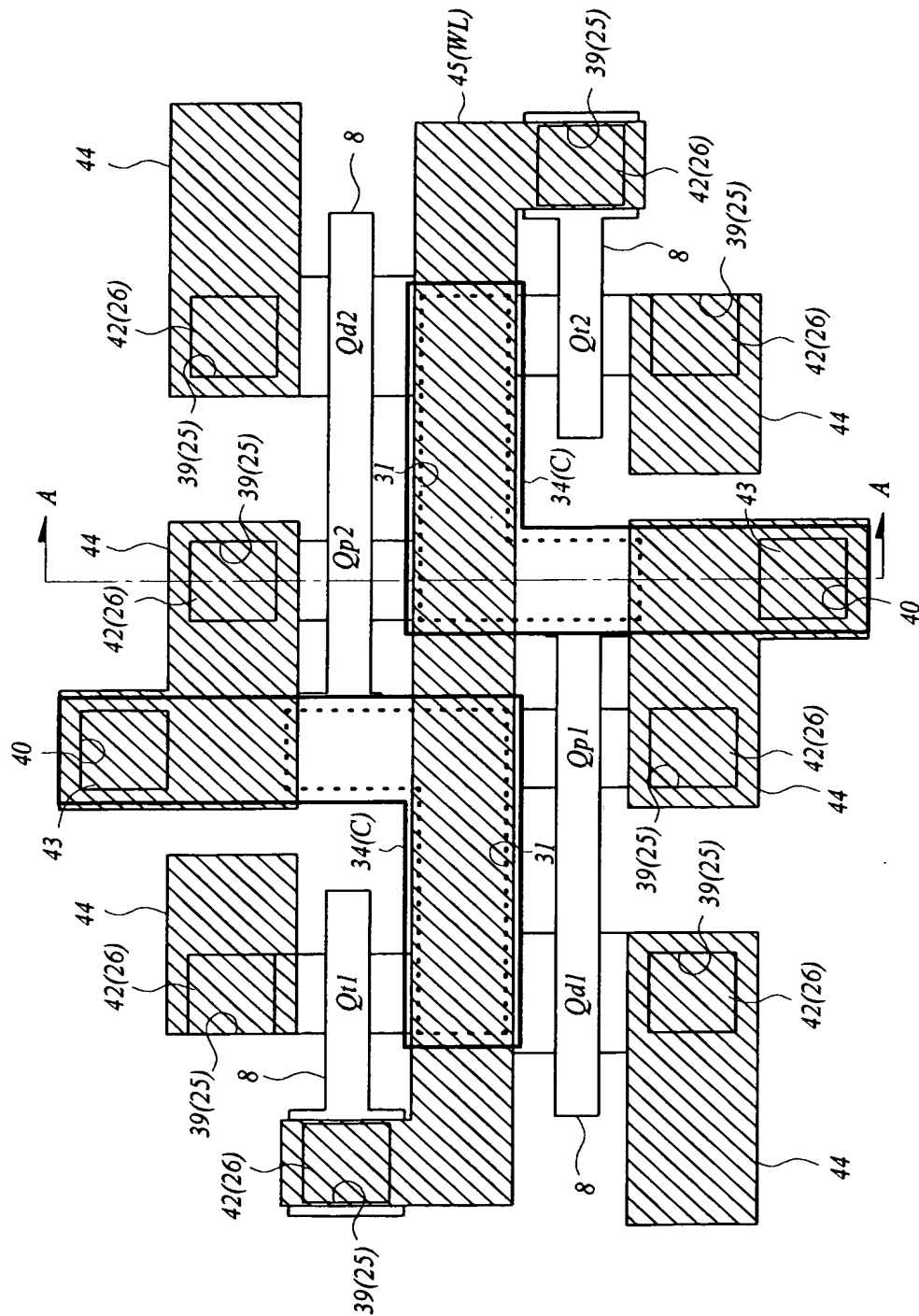
【図 24】

図 24

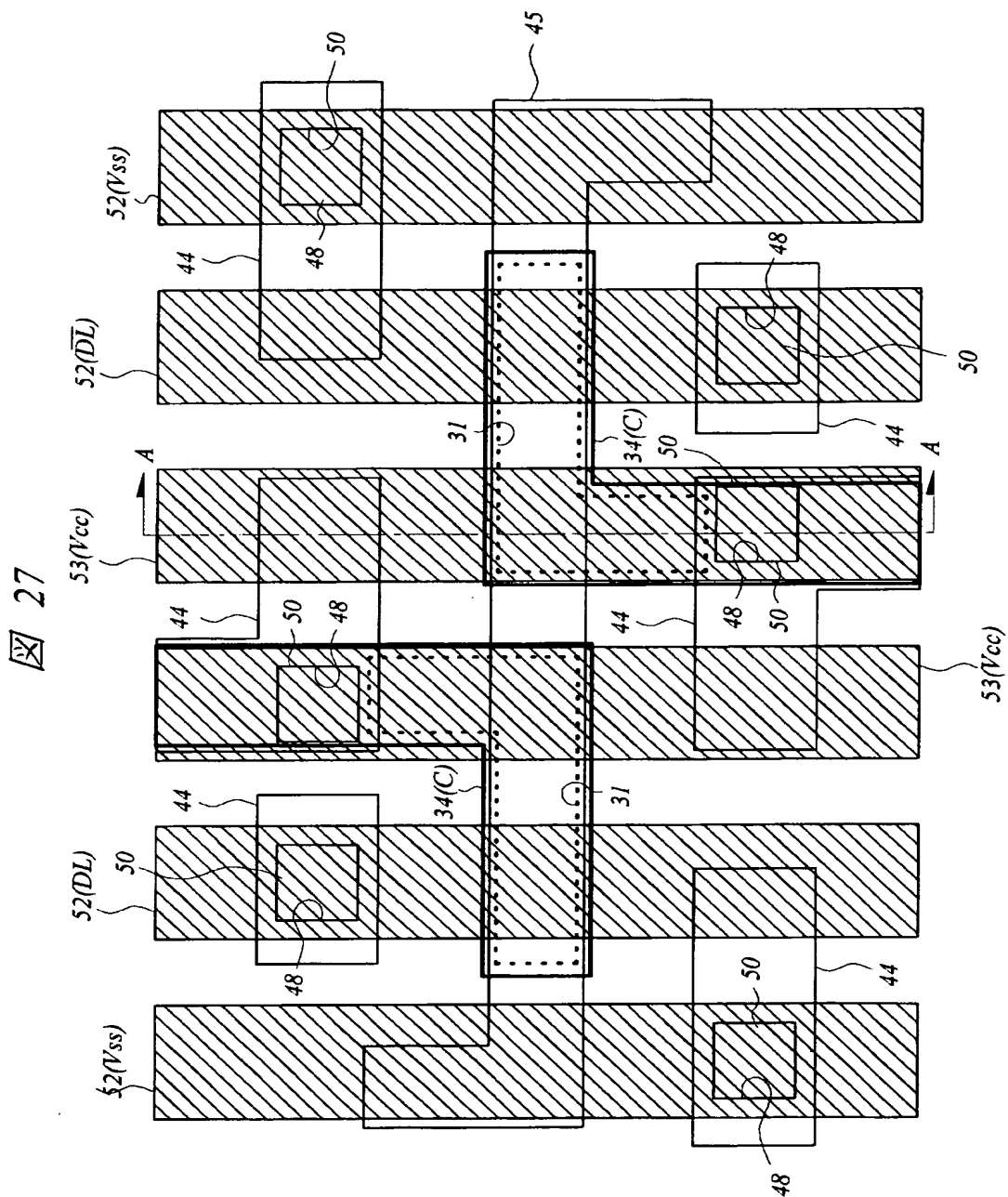


【図 25】

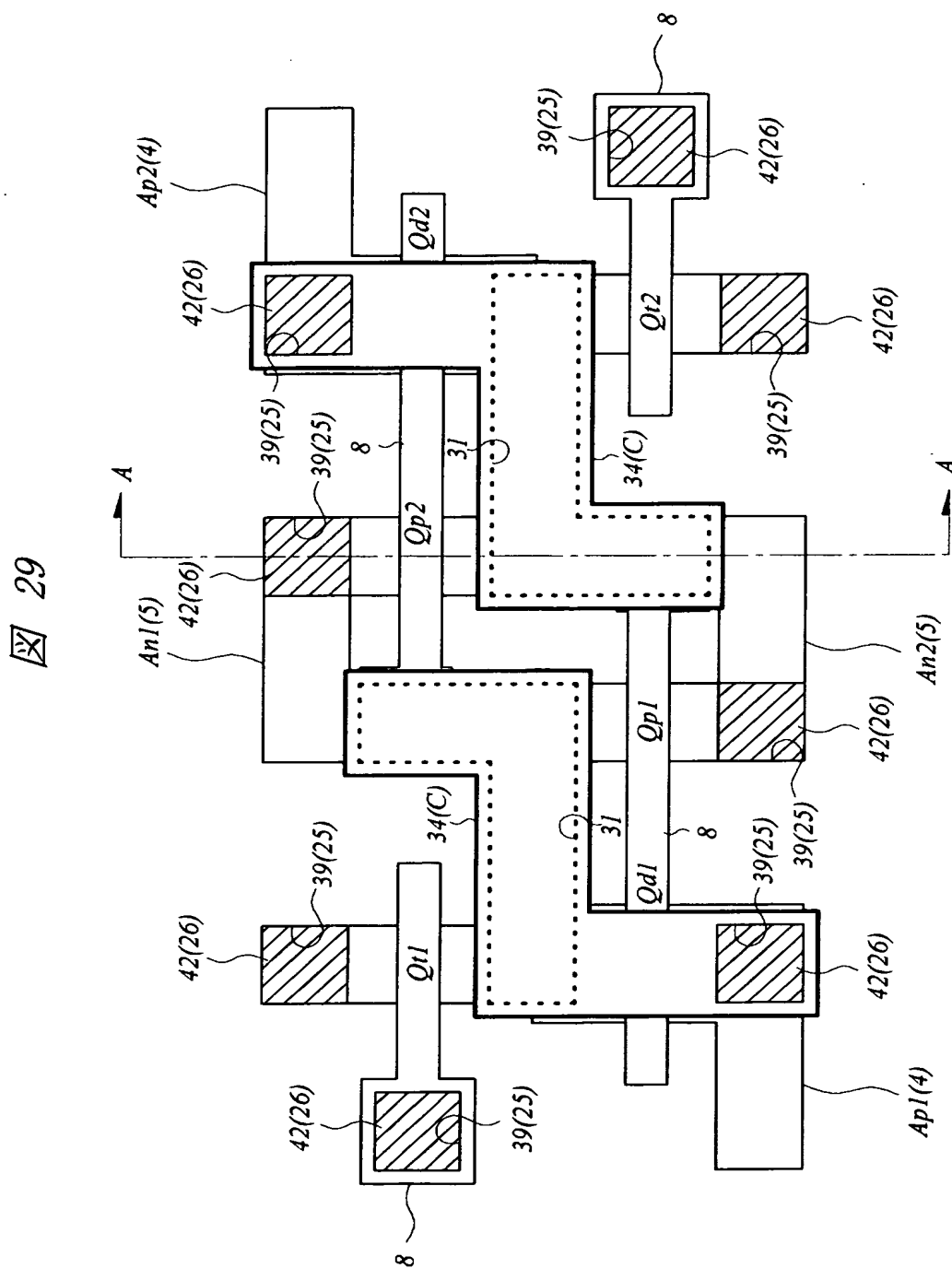
25



【図 27】

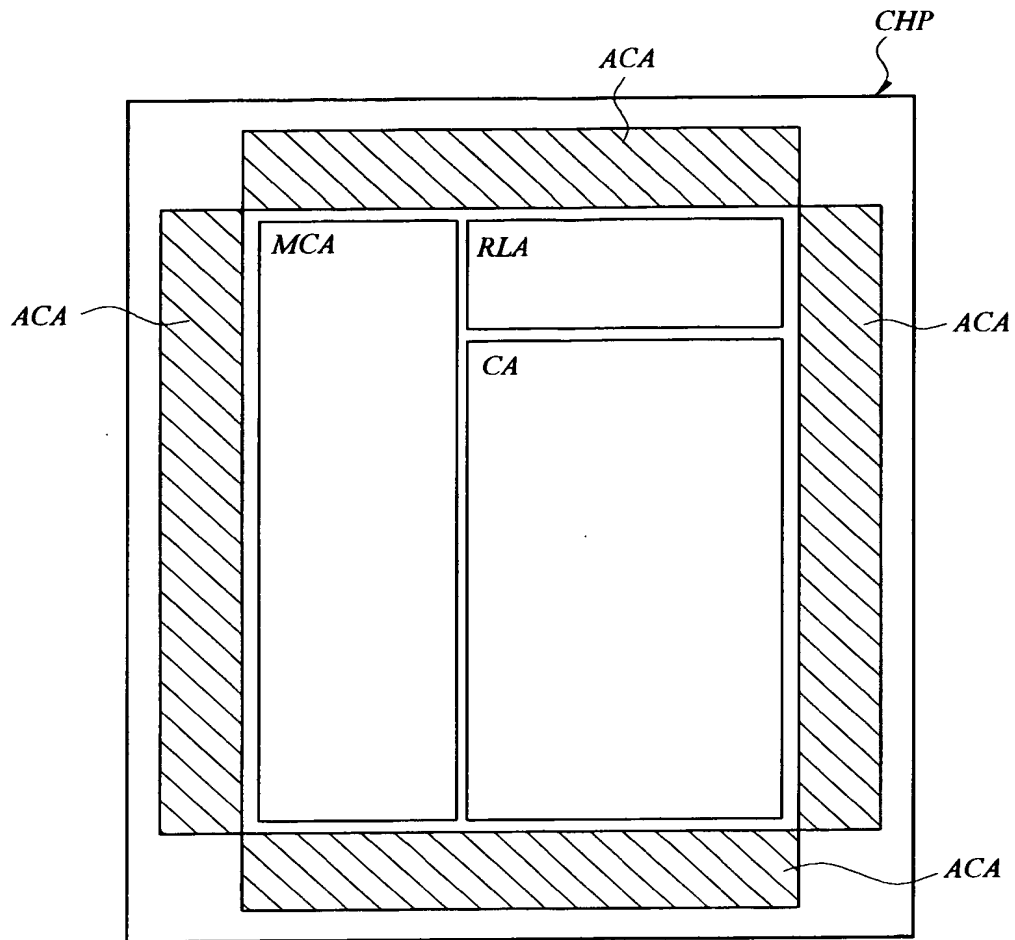


【図 29】



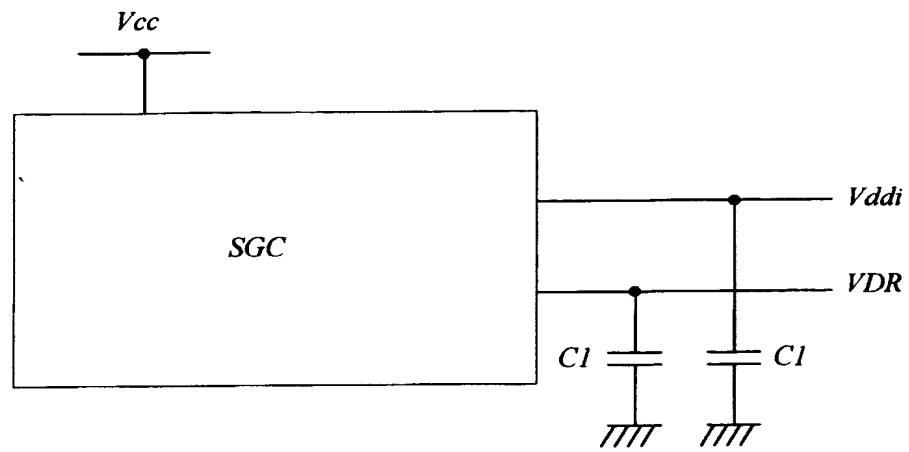
【図 30】

図 30



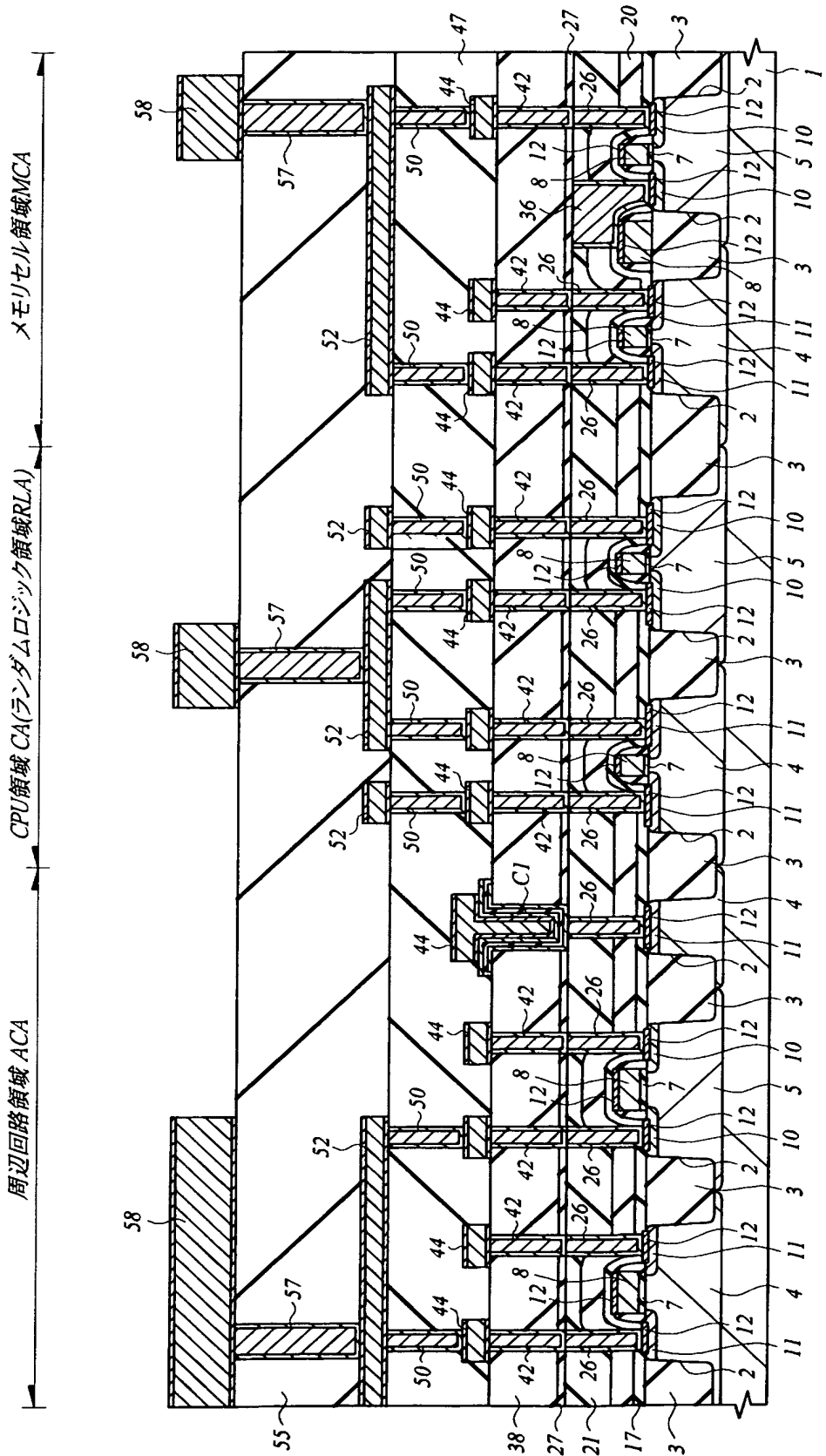
【図 31】

図 31



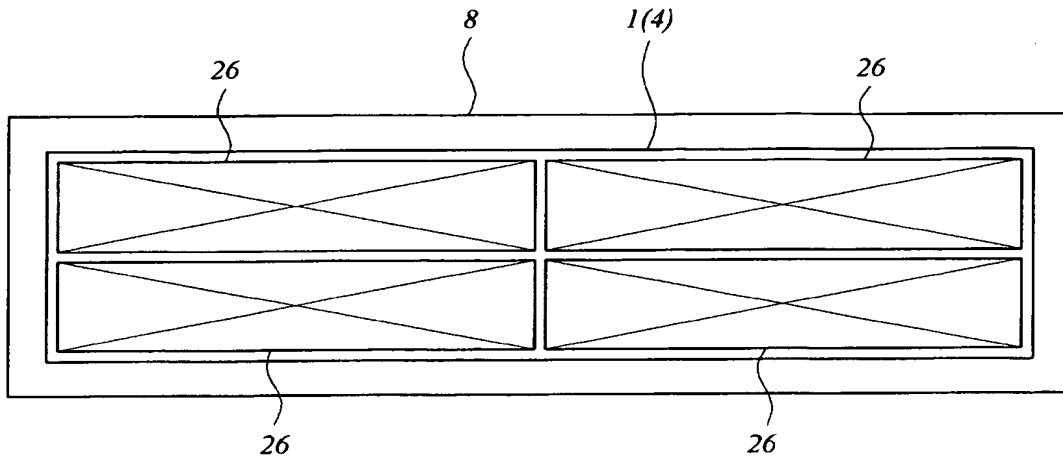
【図 32】

図 32



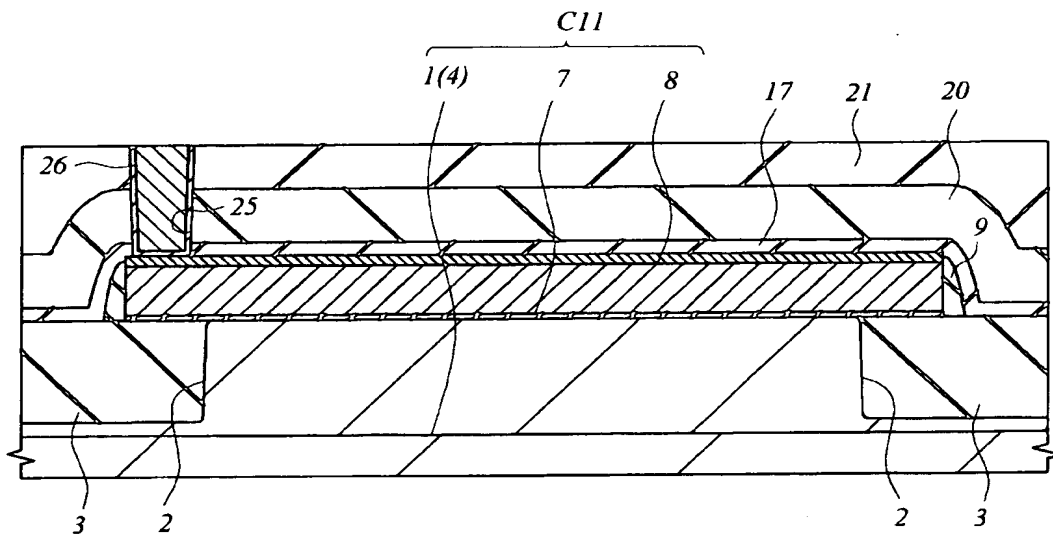
【図 33】

図 33



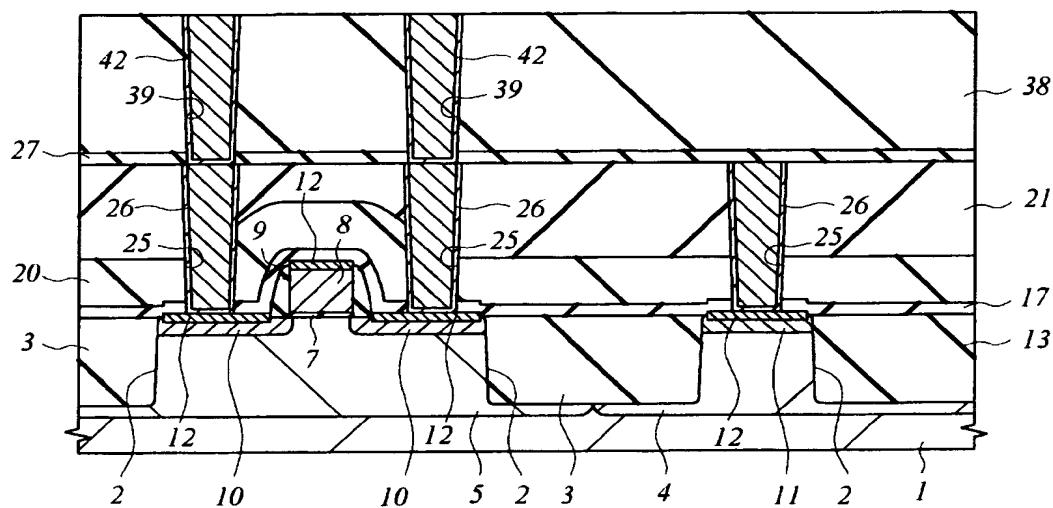
【図 34】

図 34



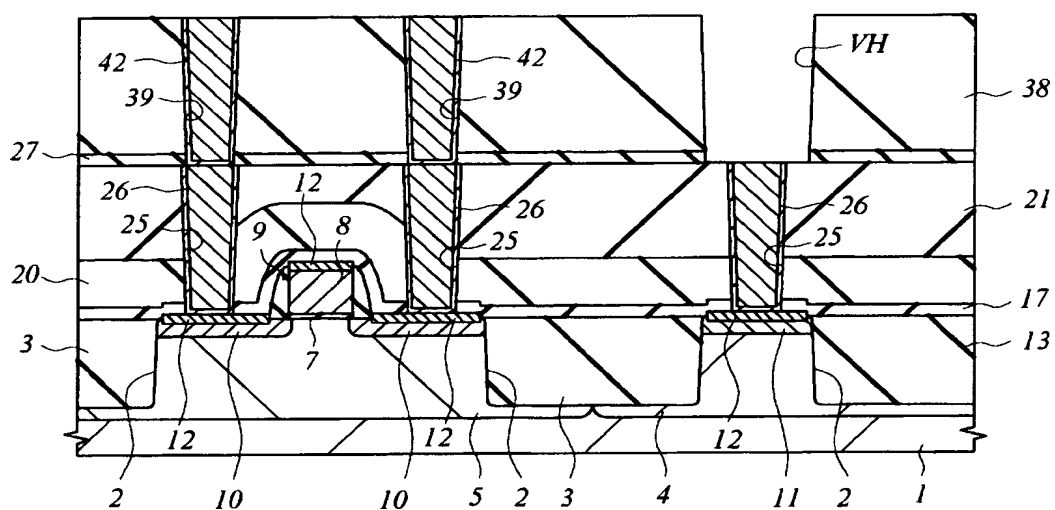
【図 36】

図 36



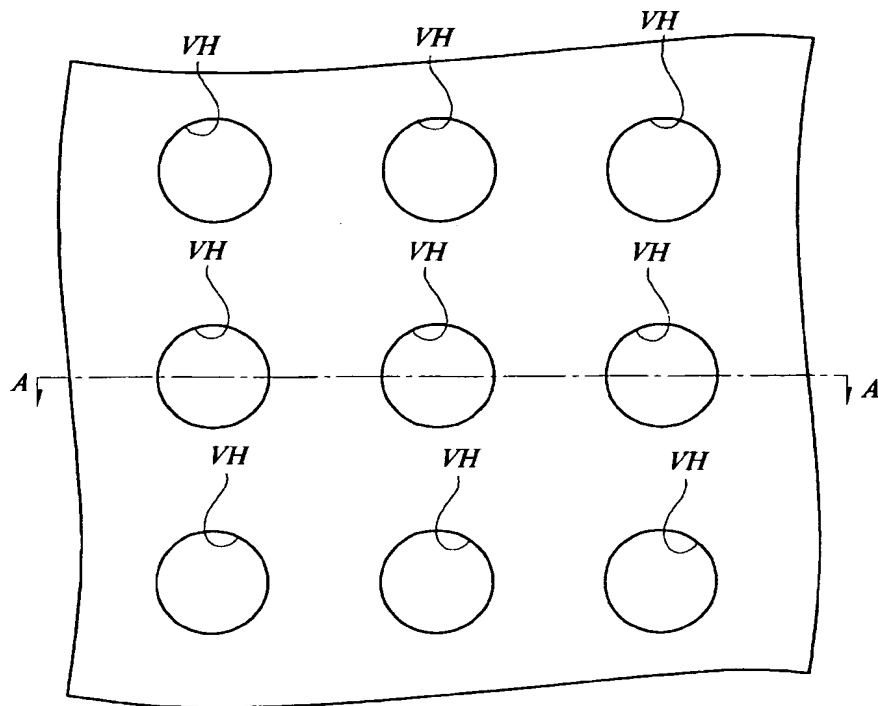
【図 37】

図 37



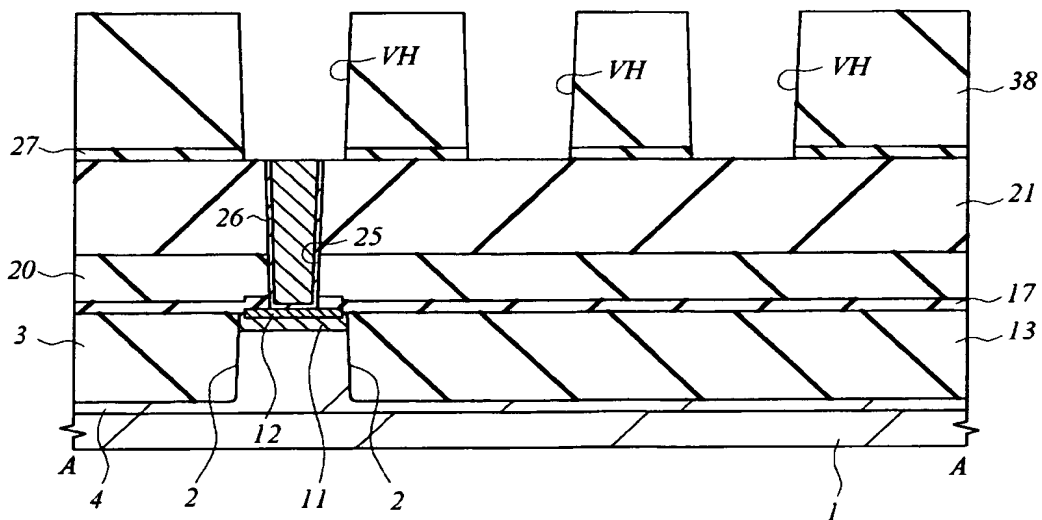
【図 38】

図 38



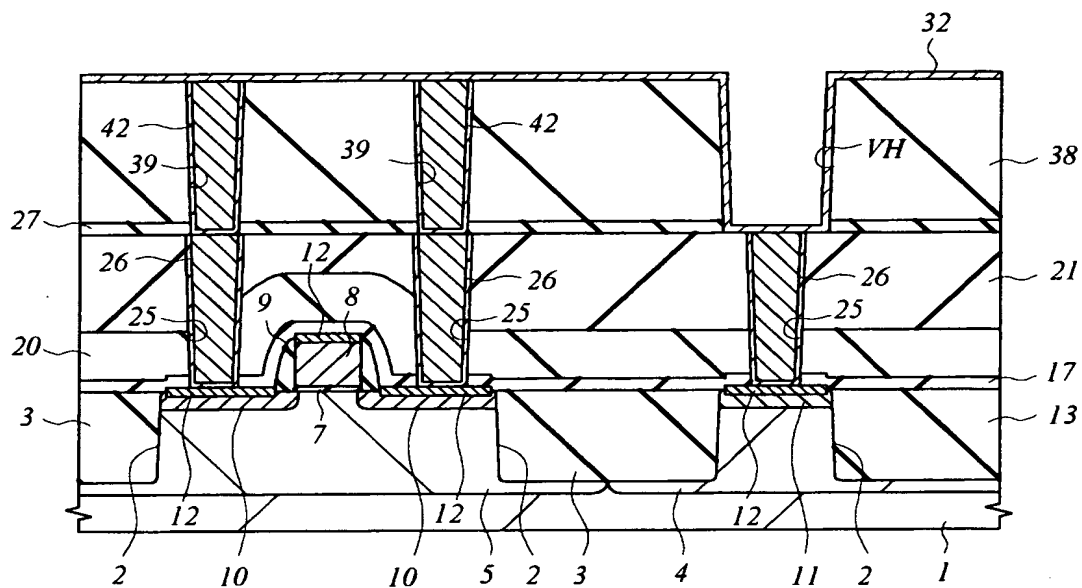
【図 39】

図 39



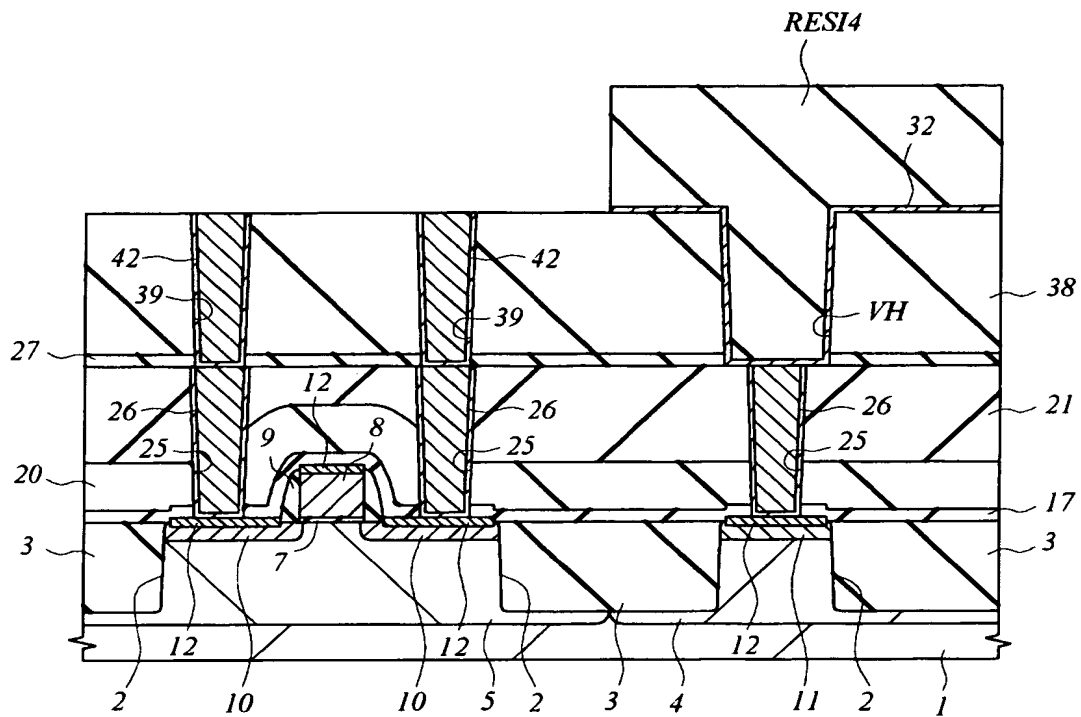
【図 40】

图 40



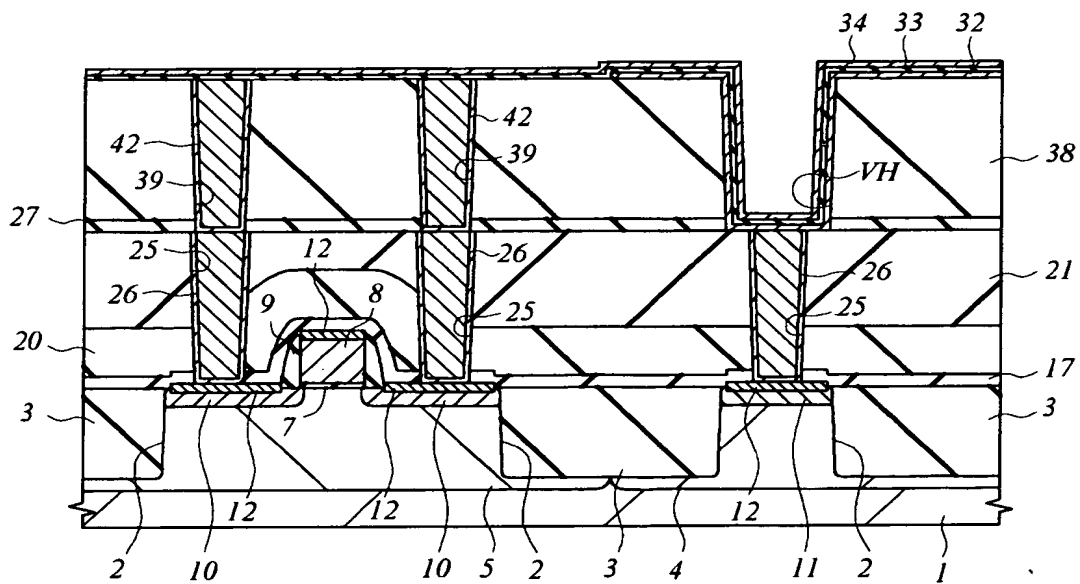
【図 4 1】

図 41



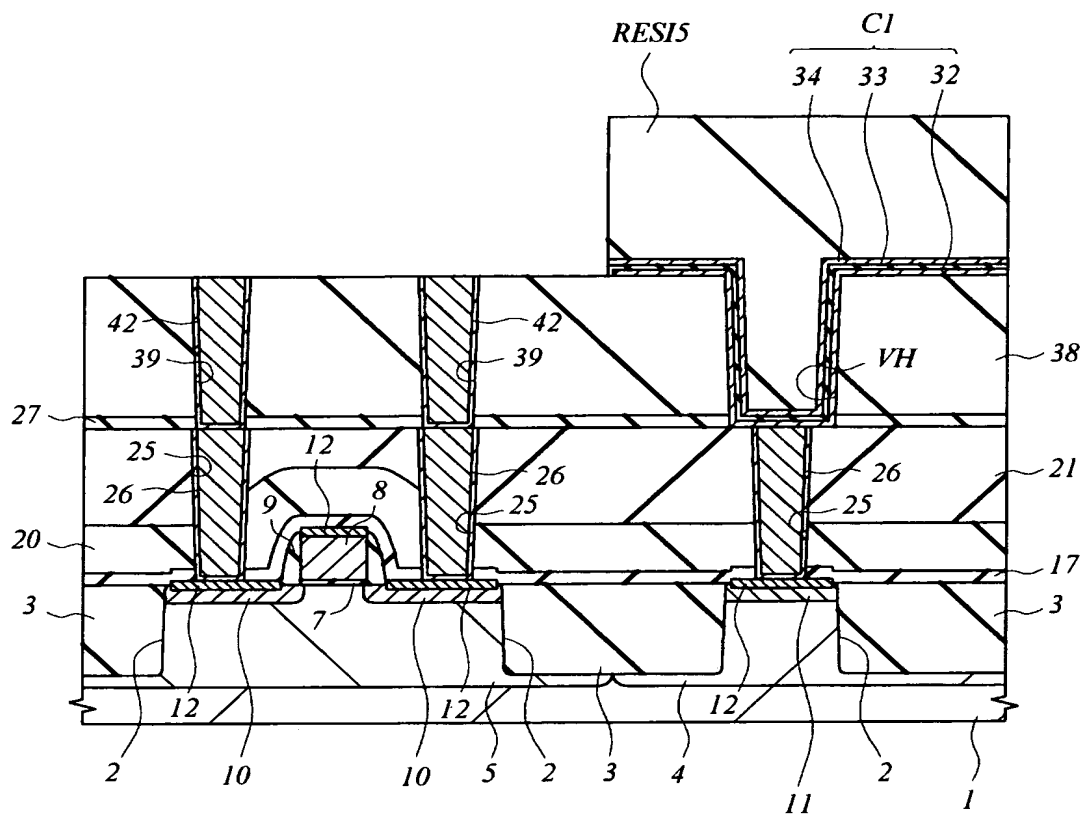
【図 4 2】

図 42



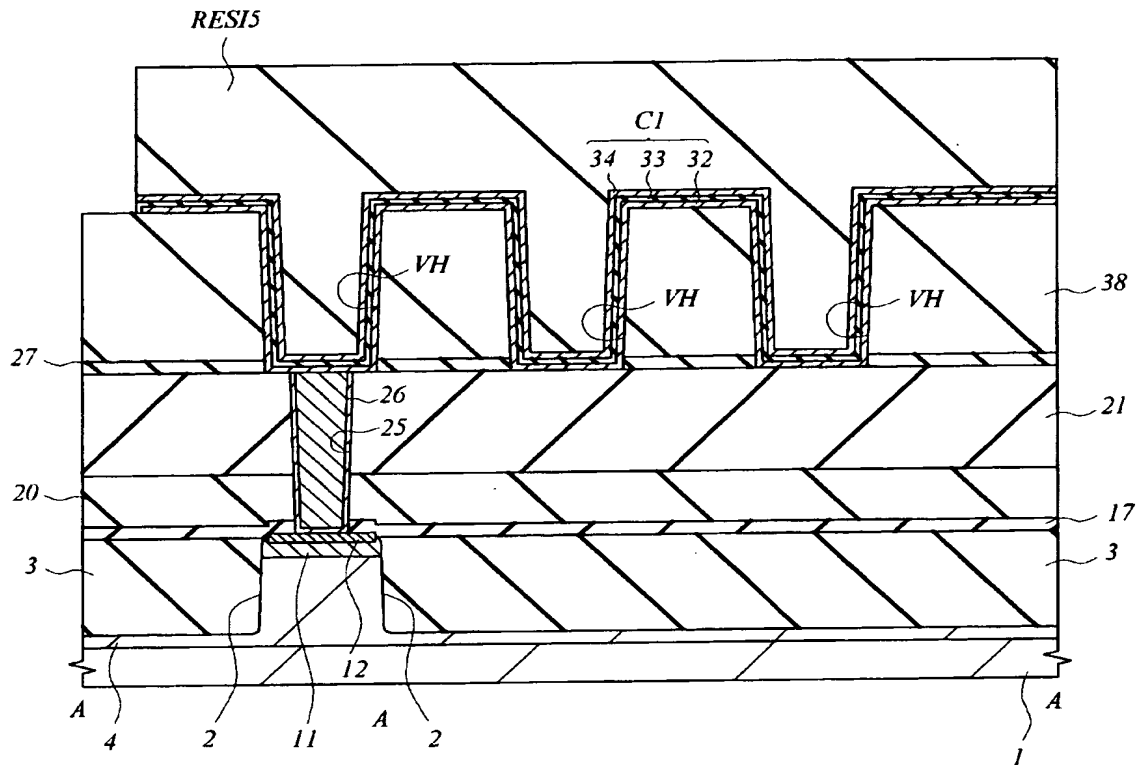
【図 4 3】

43



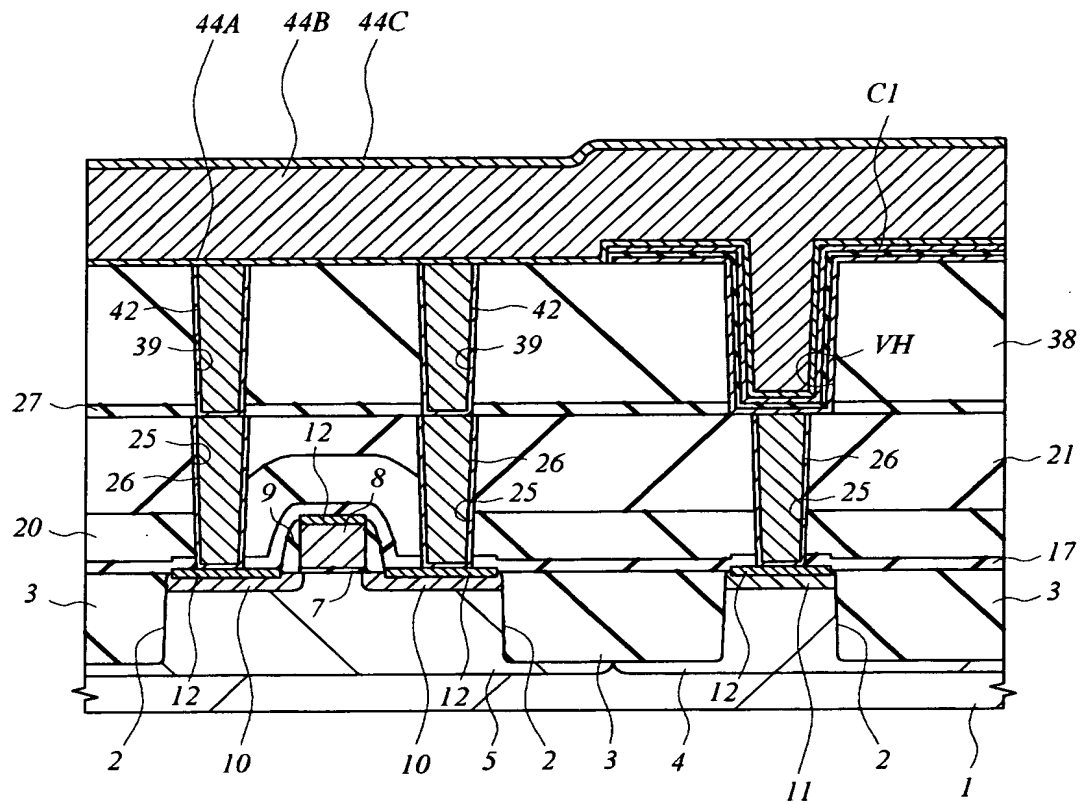
【図 44】

図 44



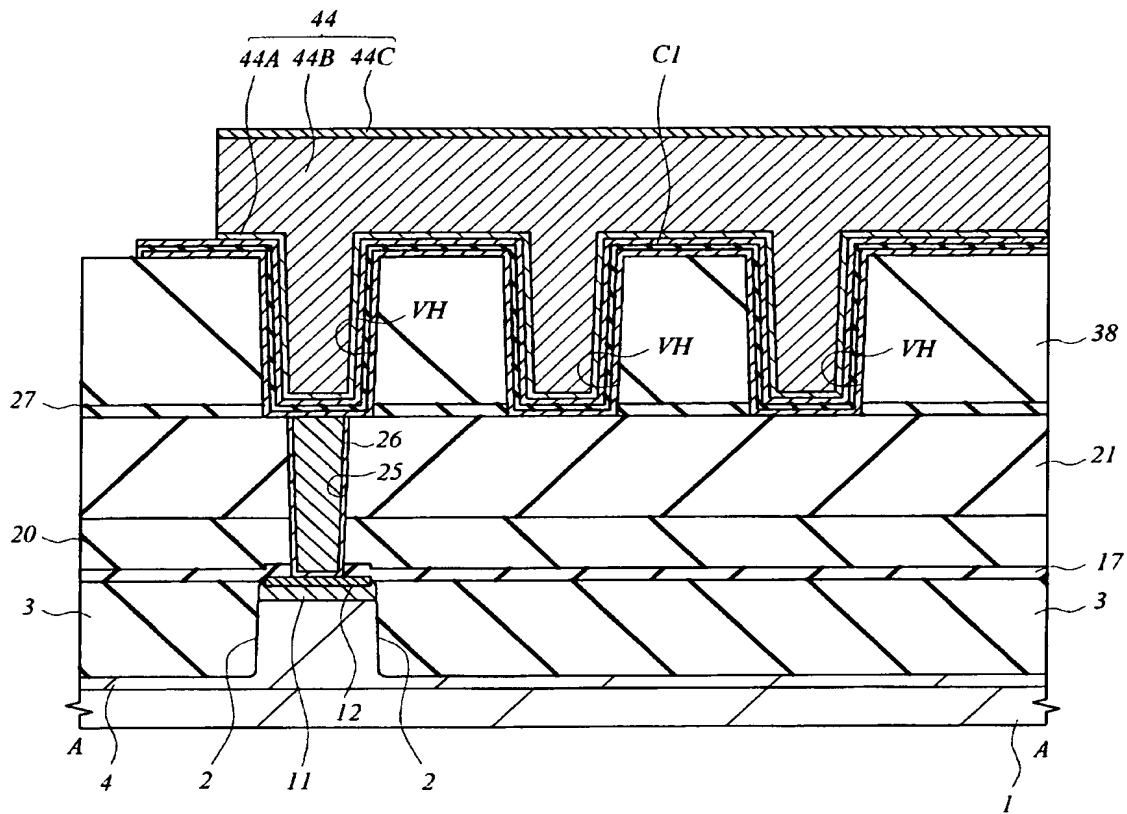
【図 45】

図 45



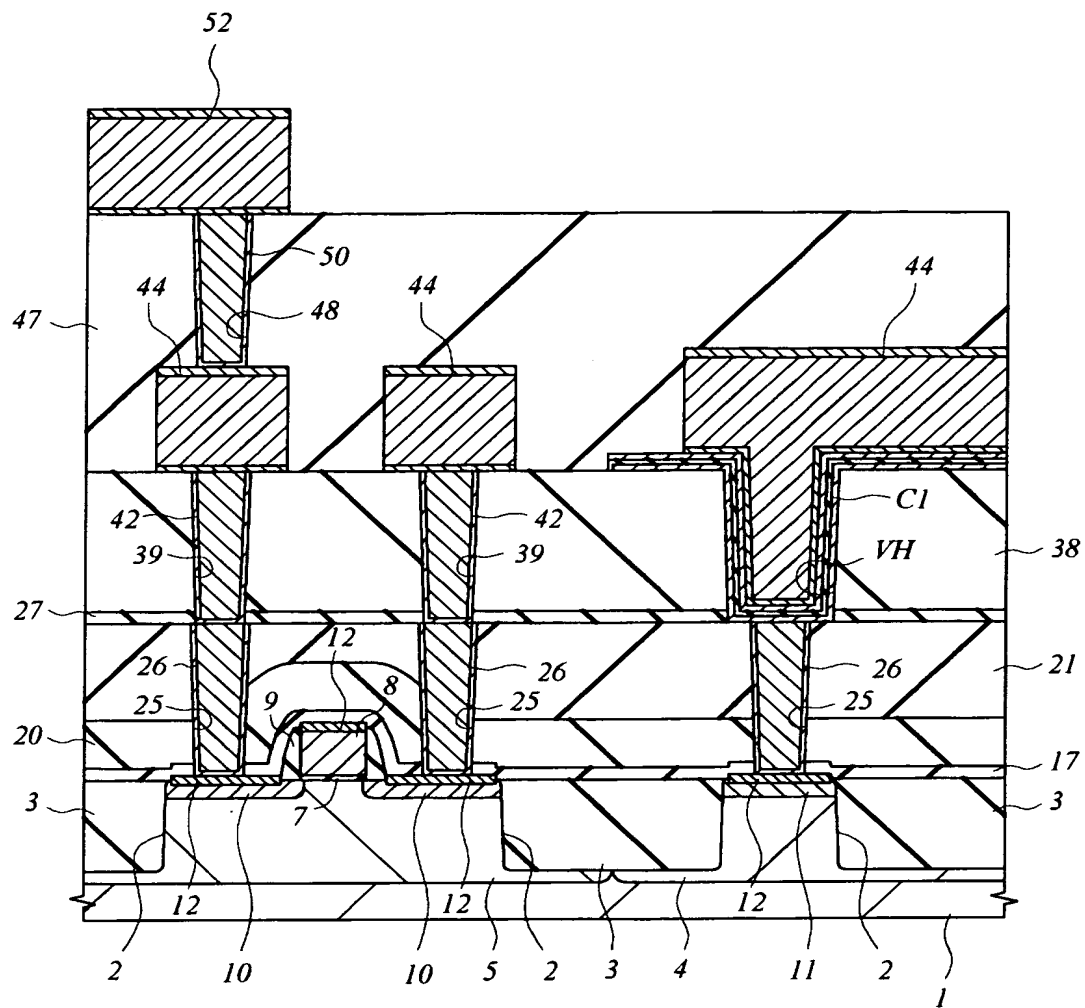
【図 47】

図 47



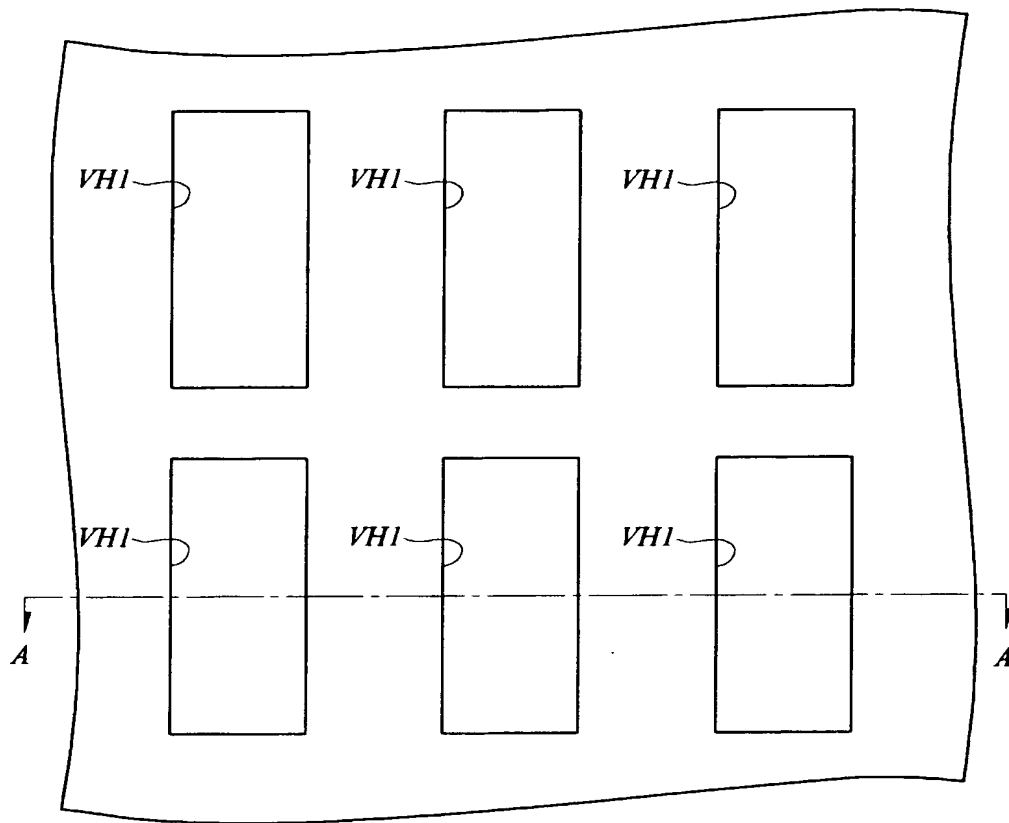
【図 48】

図 48



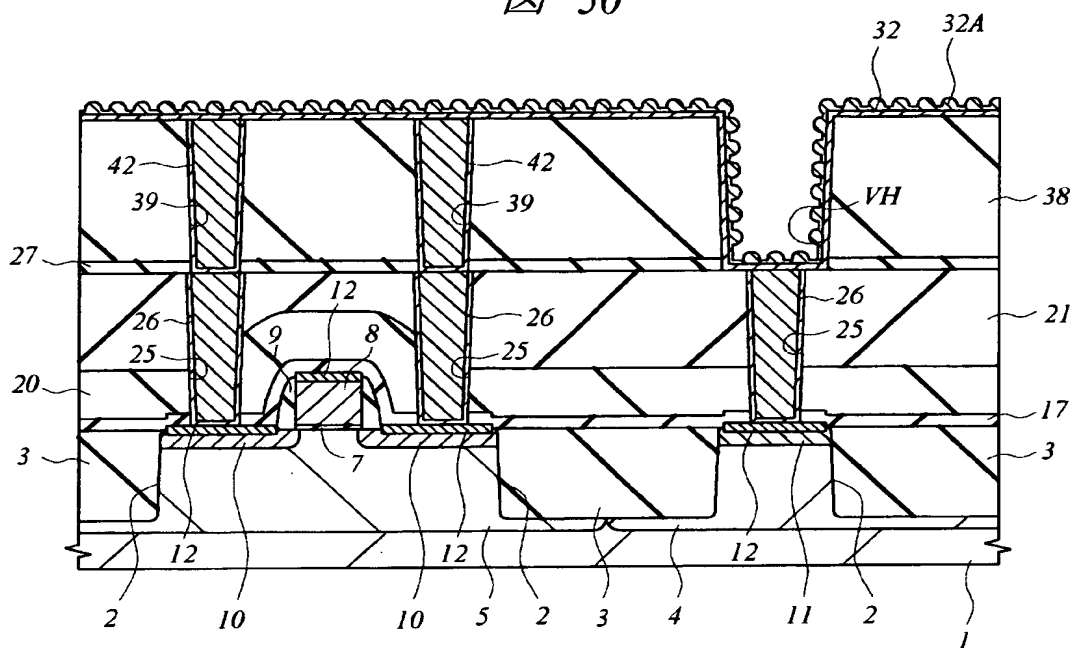
【図 49】

図 49



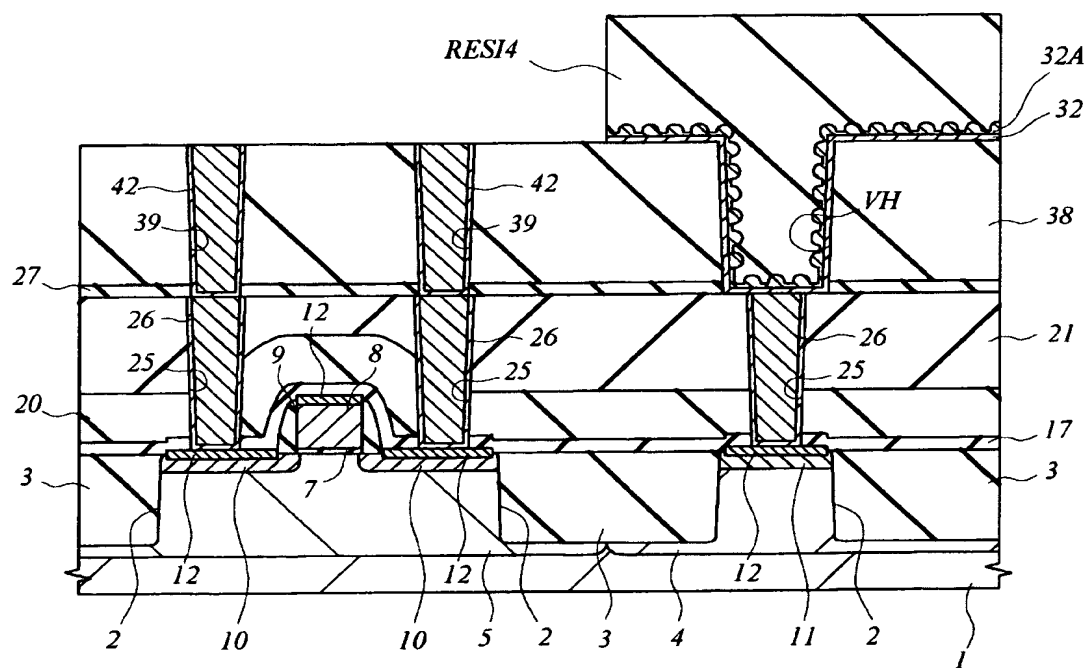
【図 50】

図 50



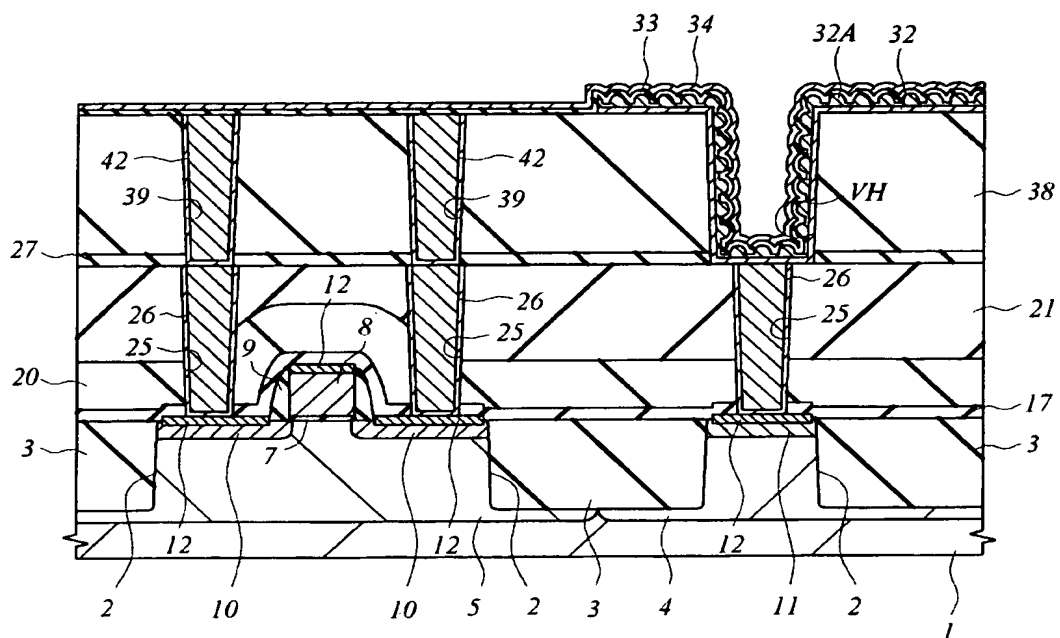
【図 51】

図 51



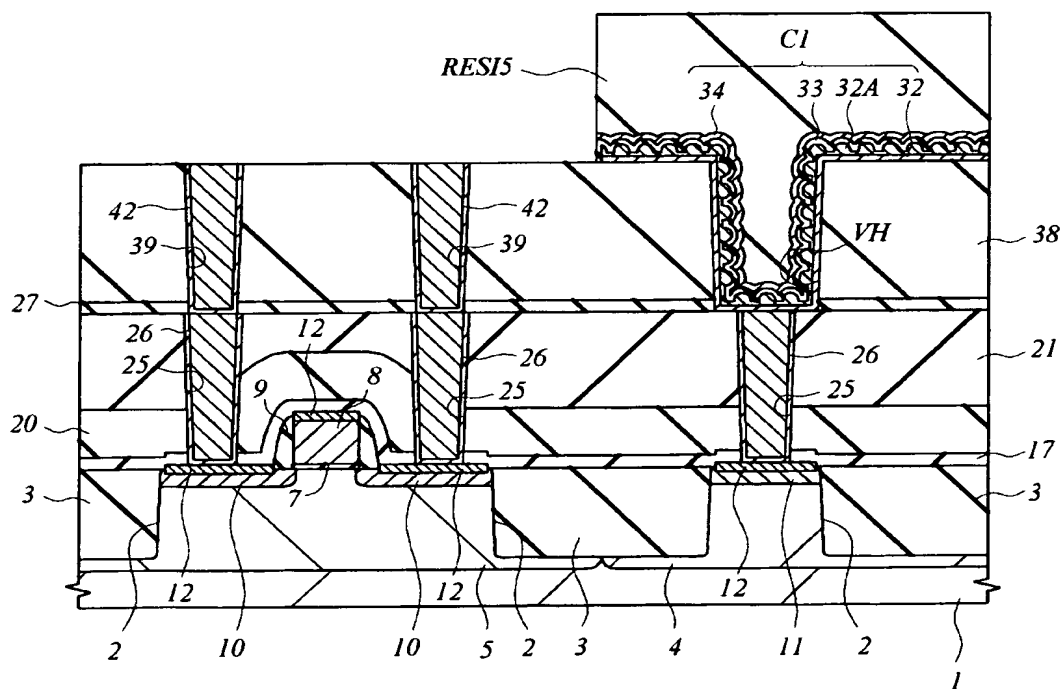
【図 52】

図 52



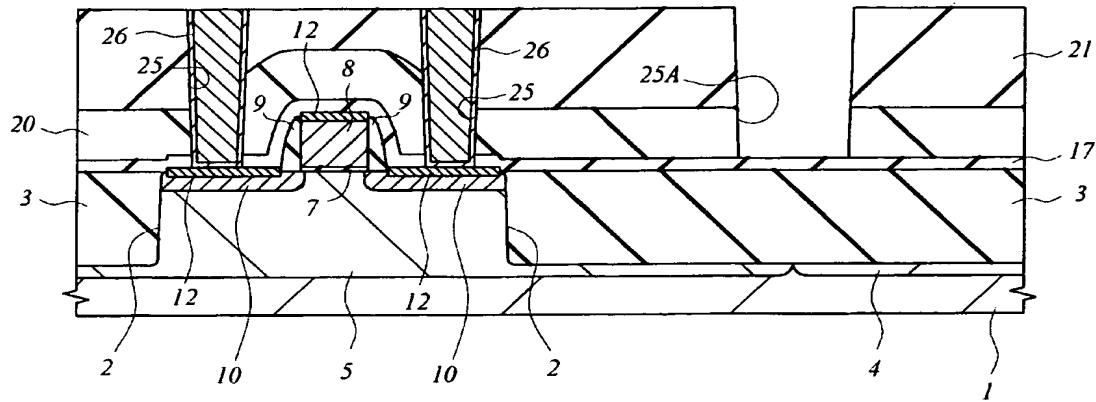
【図 53】

図 53



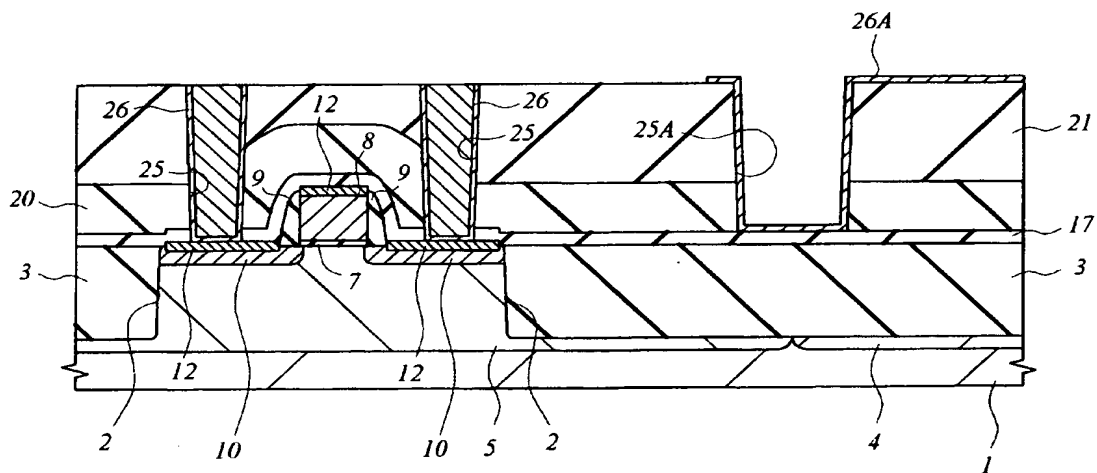
【図 55】

図 55



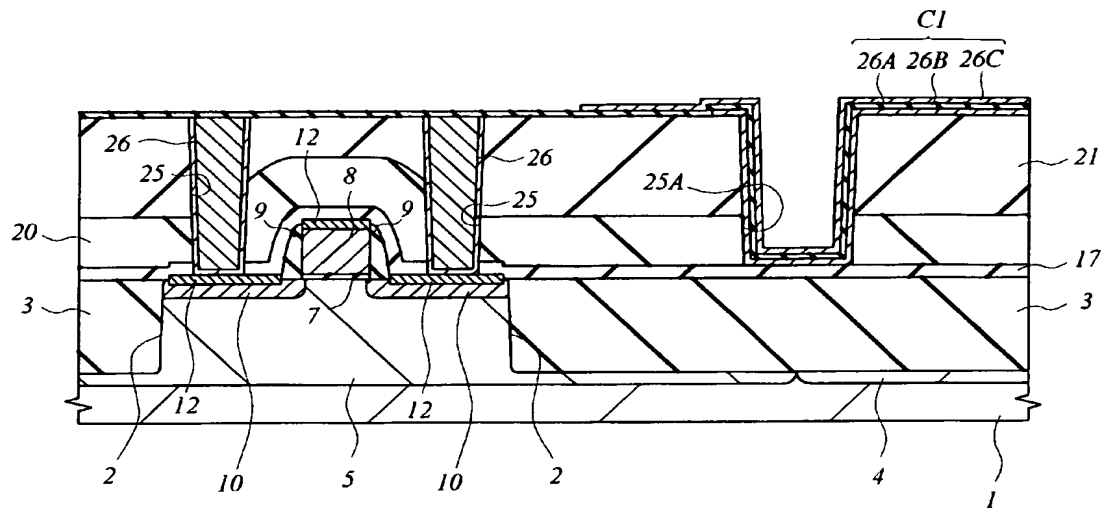
【図 56】

図 56



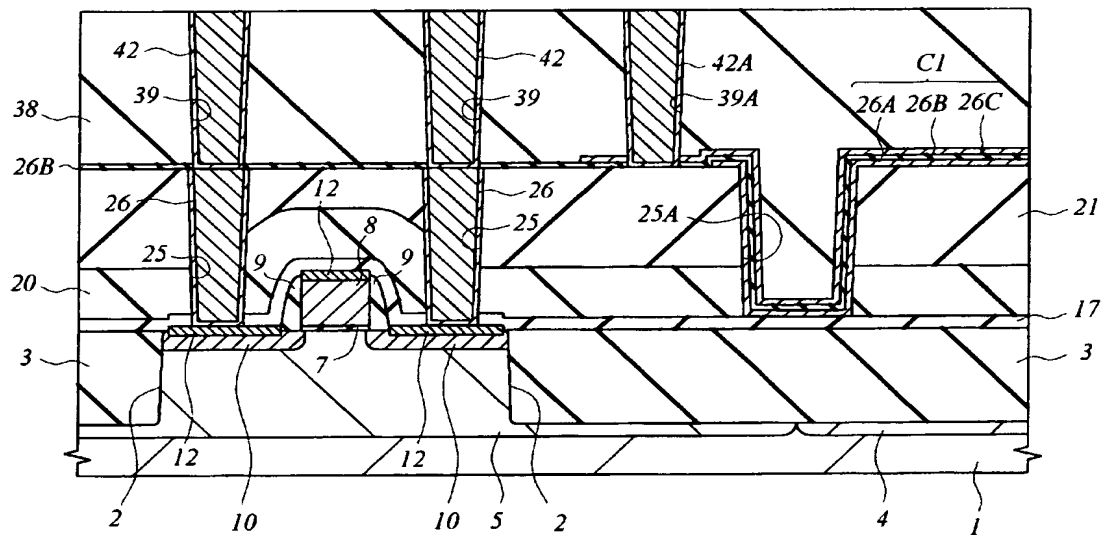
【図 5 7】

図 57



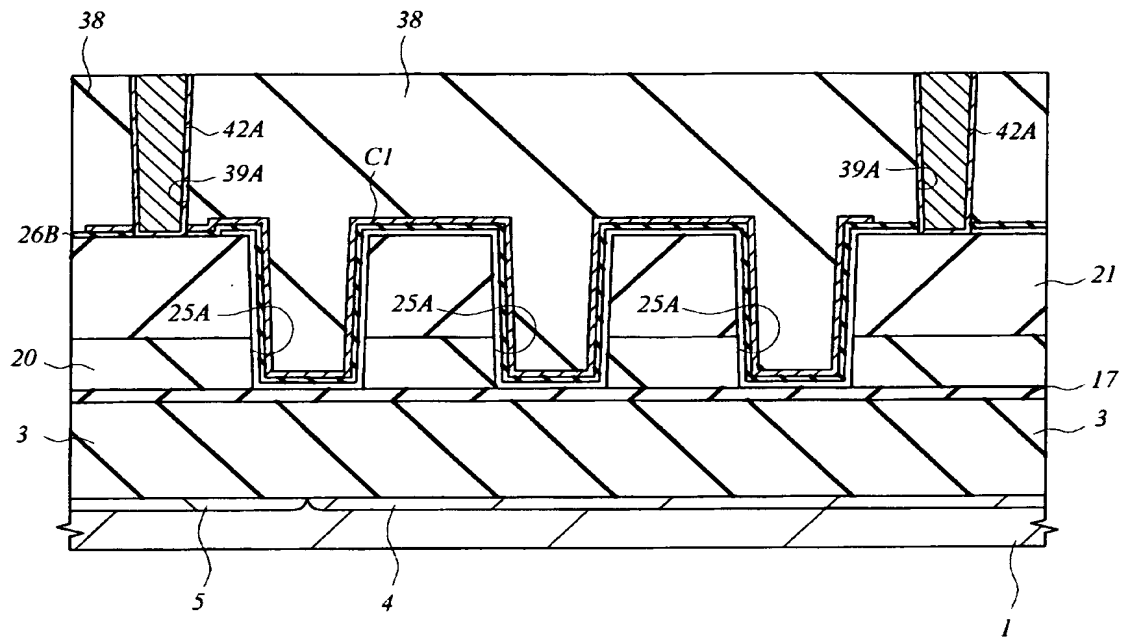
【図 5 8】

58



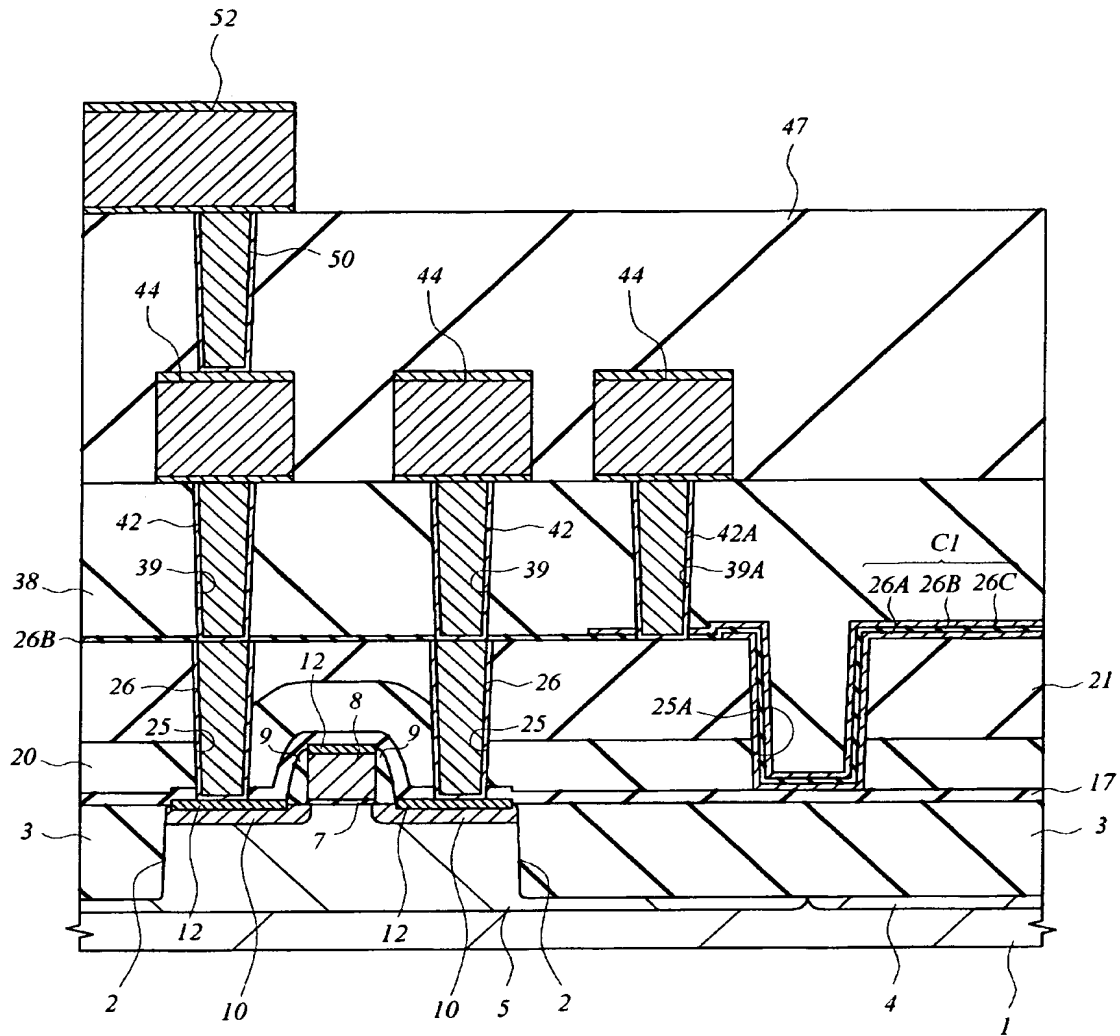
【図 59】

図 59



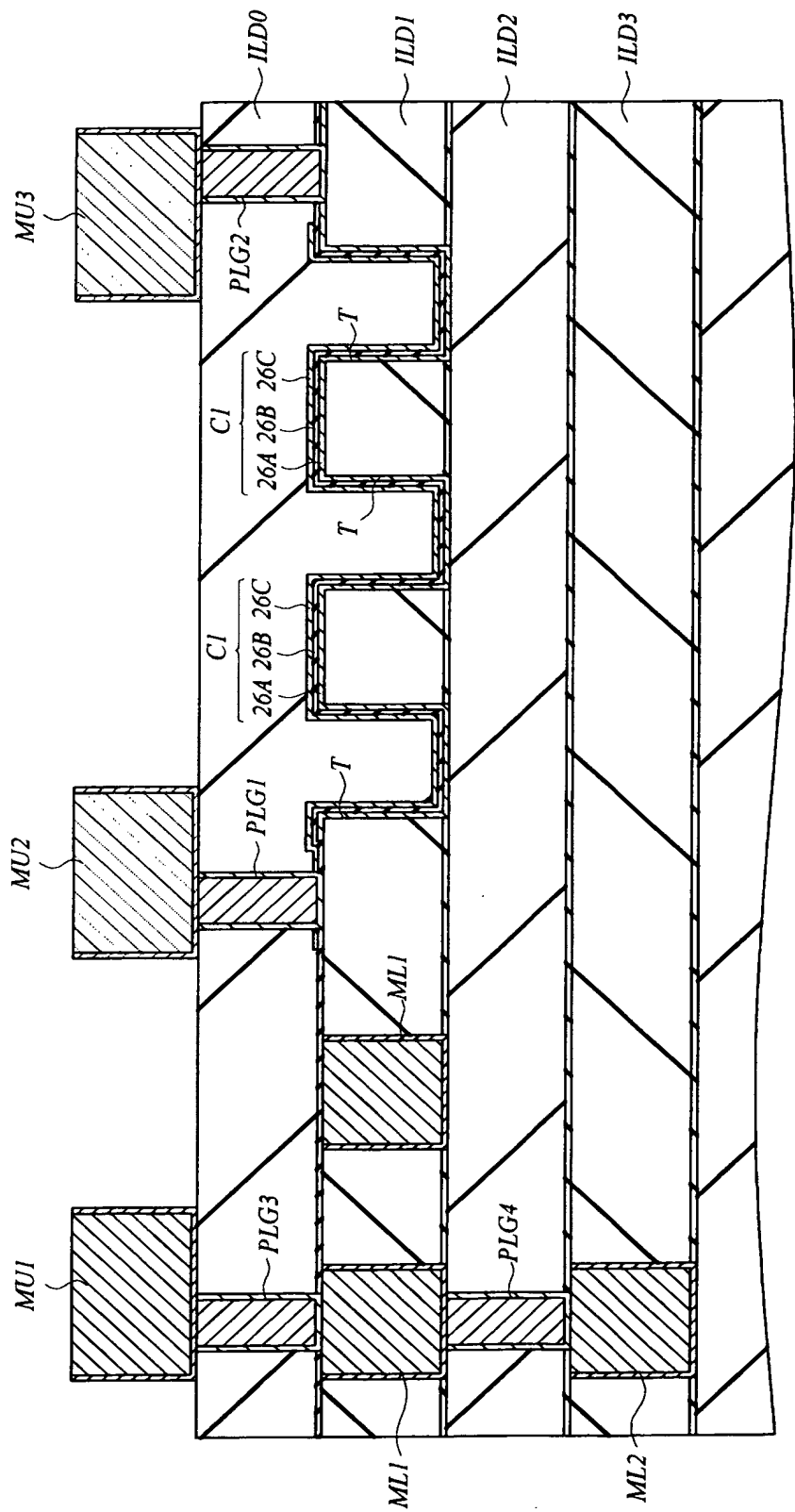
【図 60】

図 60



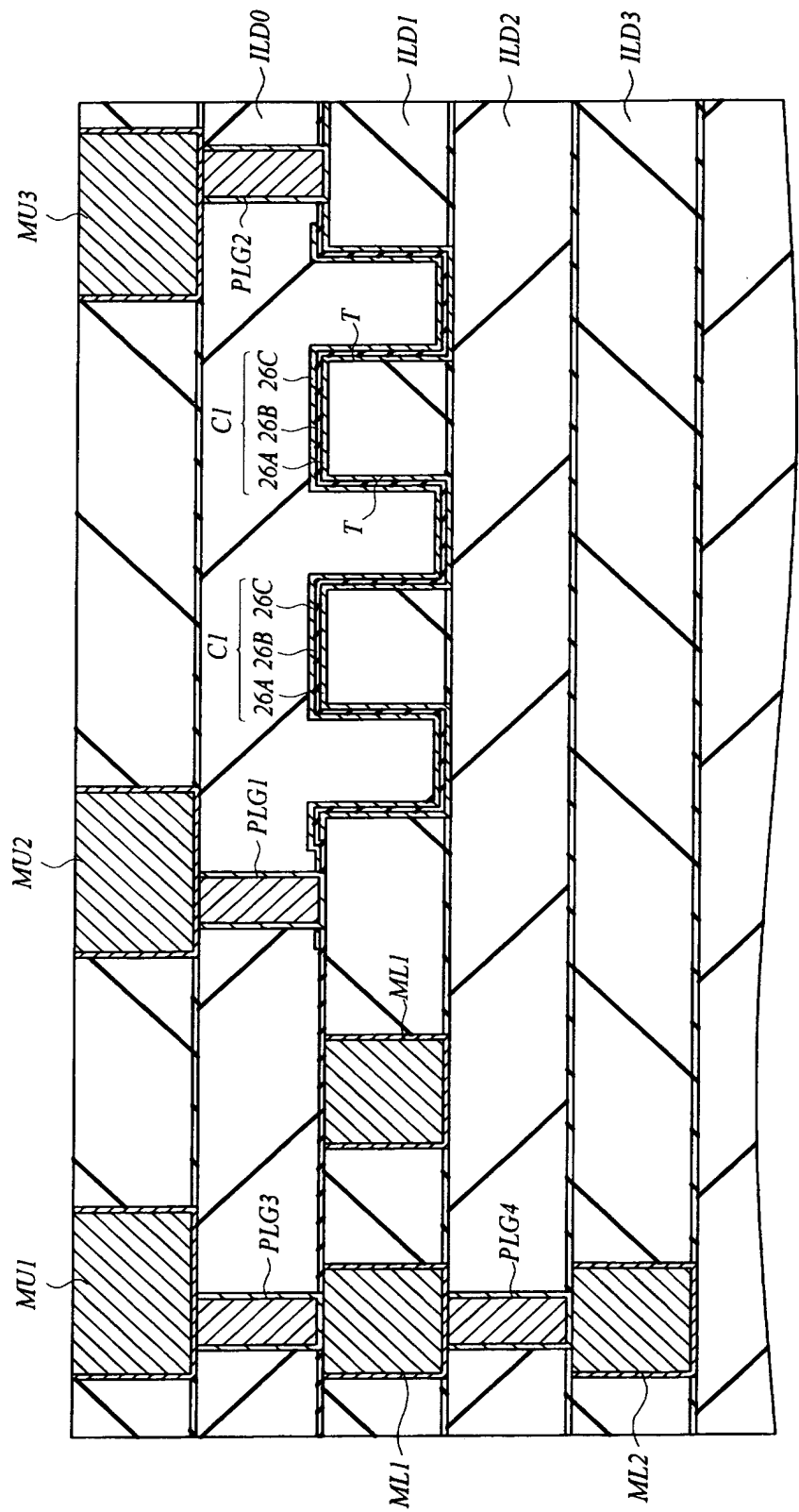
【図 61】

図 61



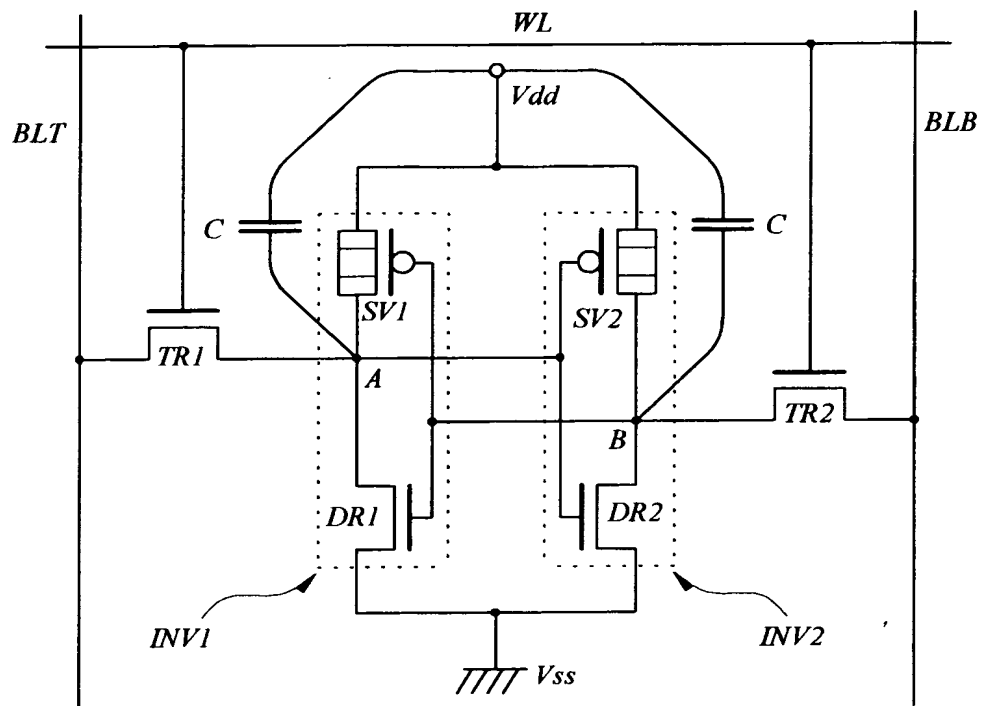
【図 62】

図 62



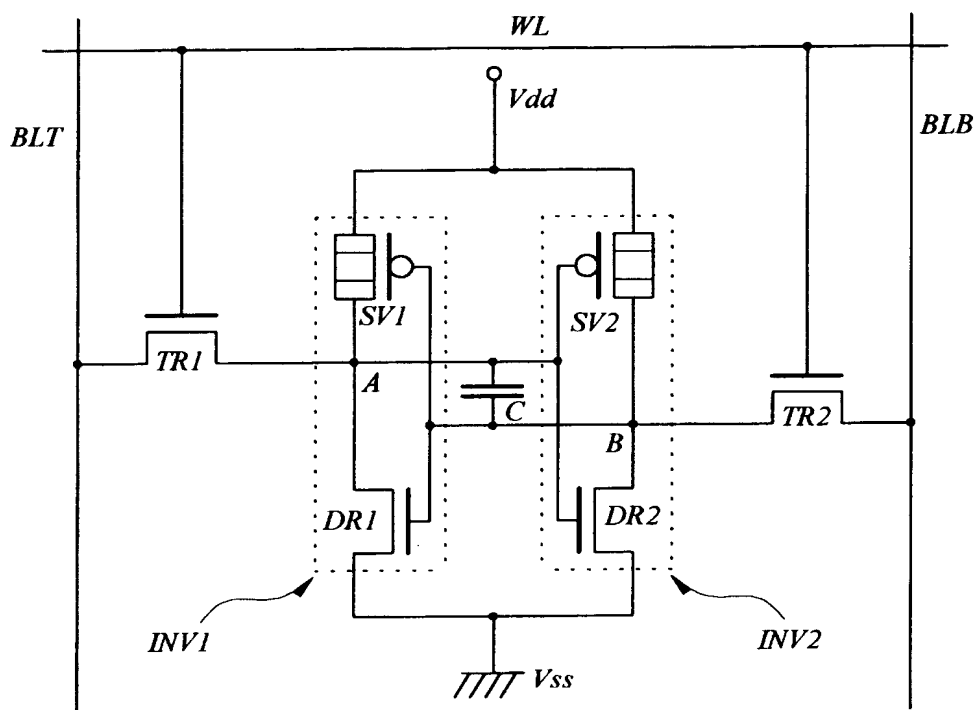
【図 63】

図 63

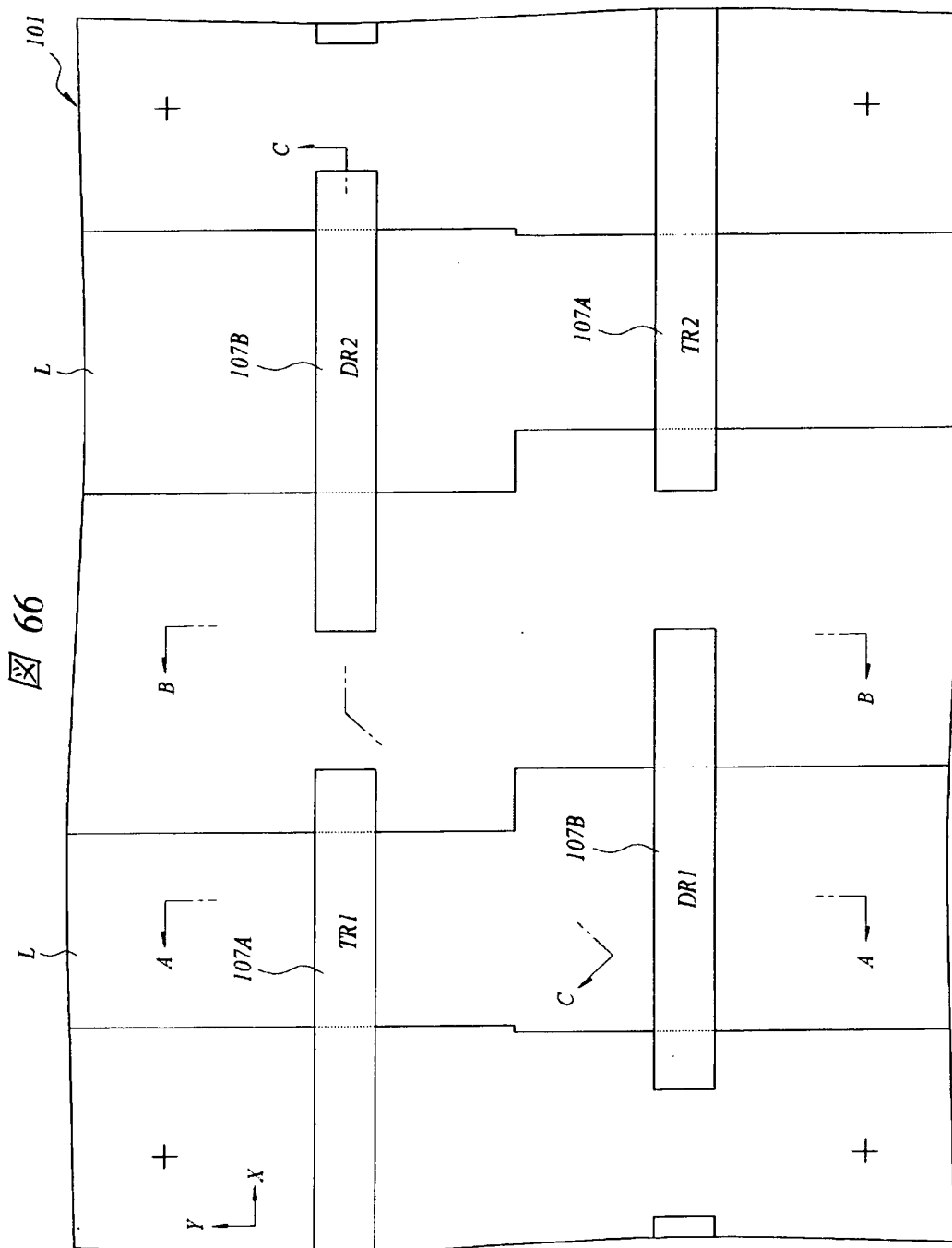


【図 65】

図 65

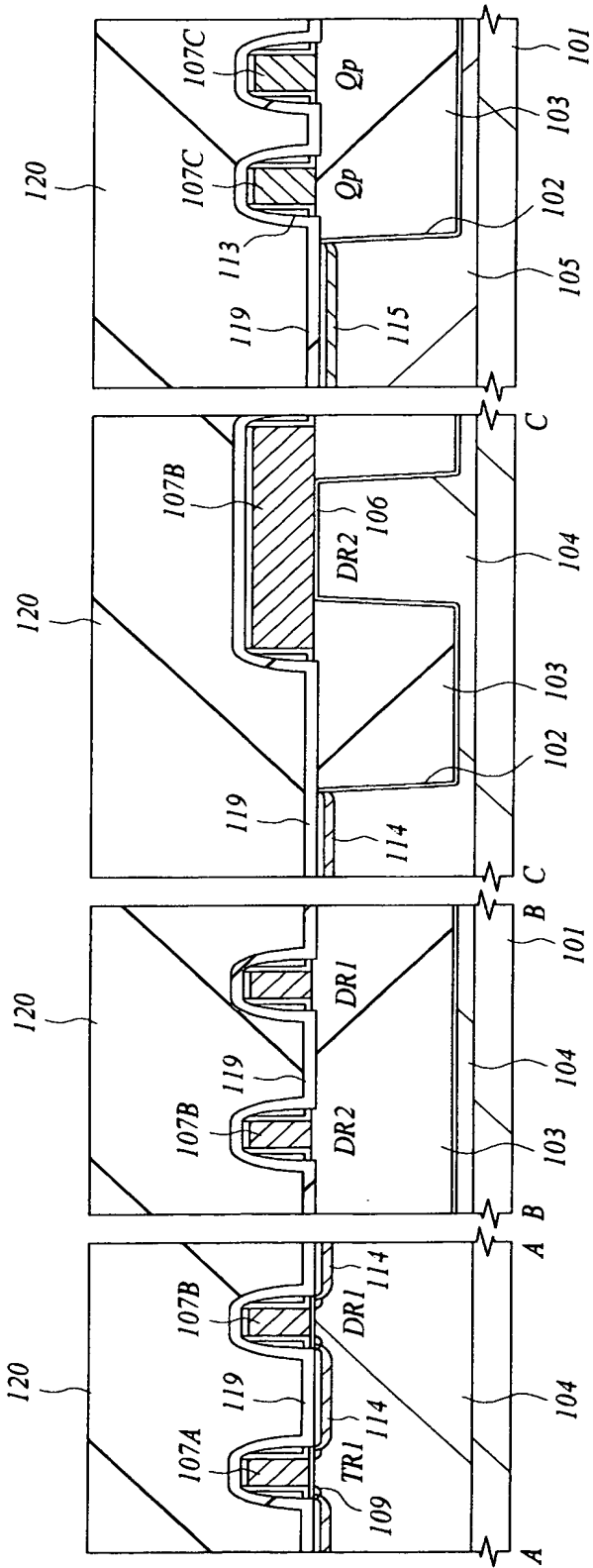


【図 6 6】

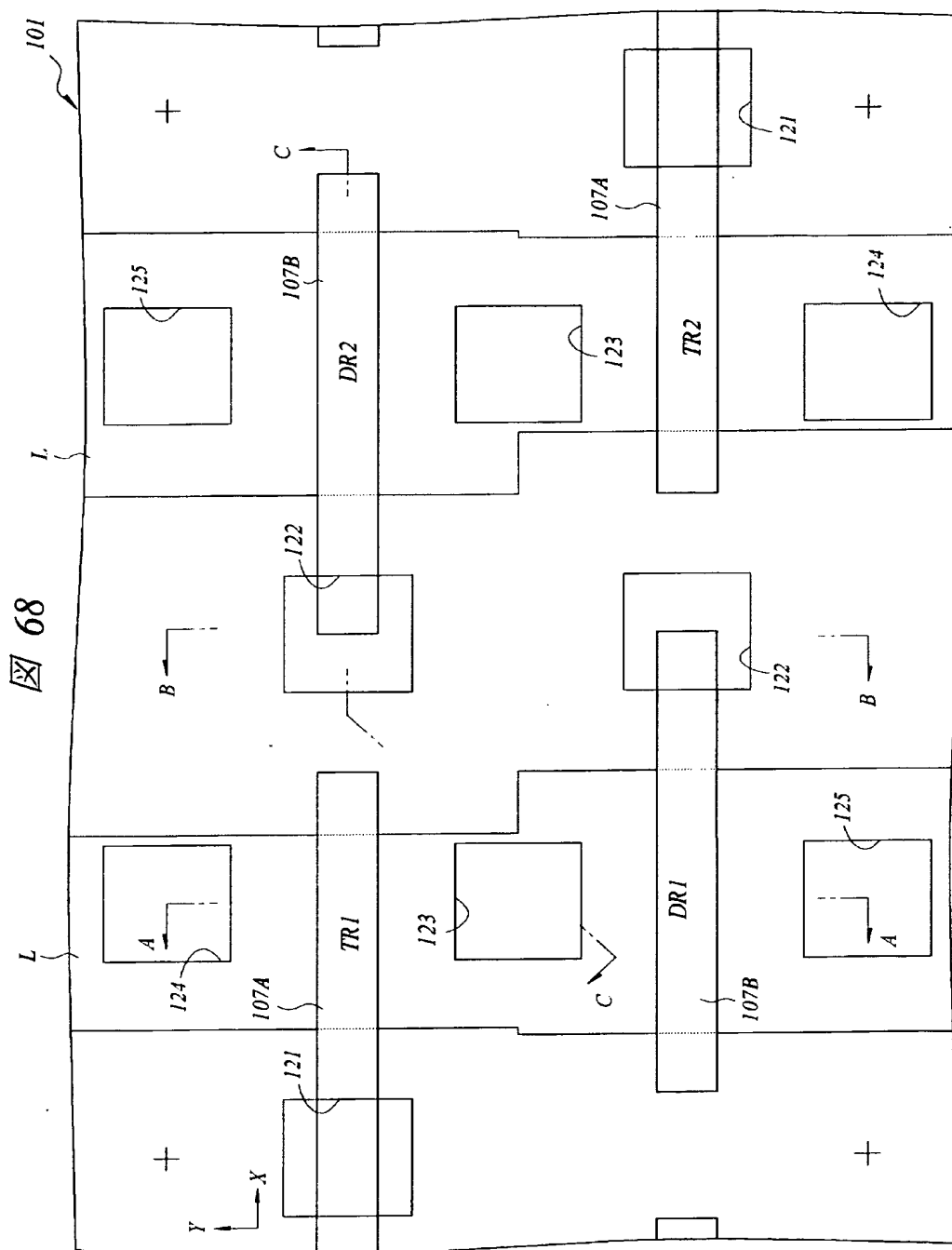


【図 67】

図 67

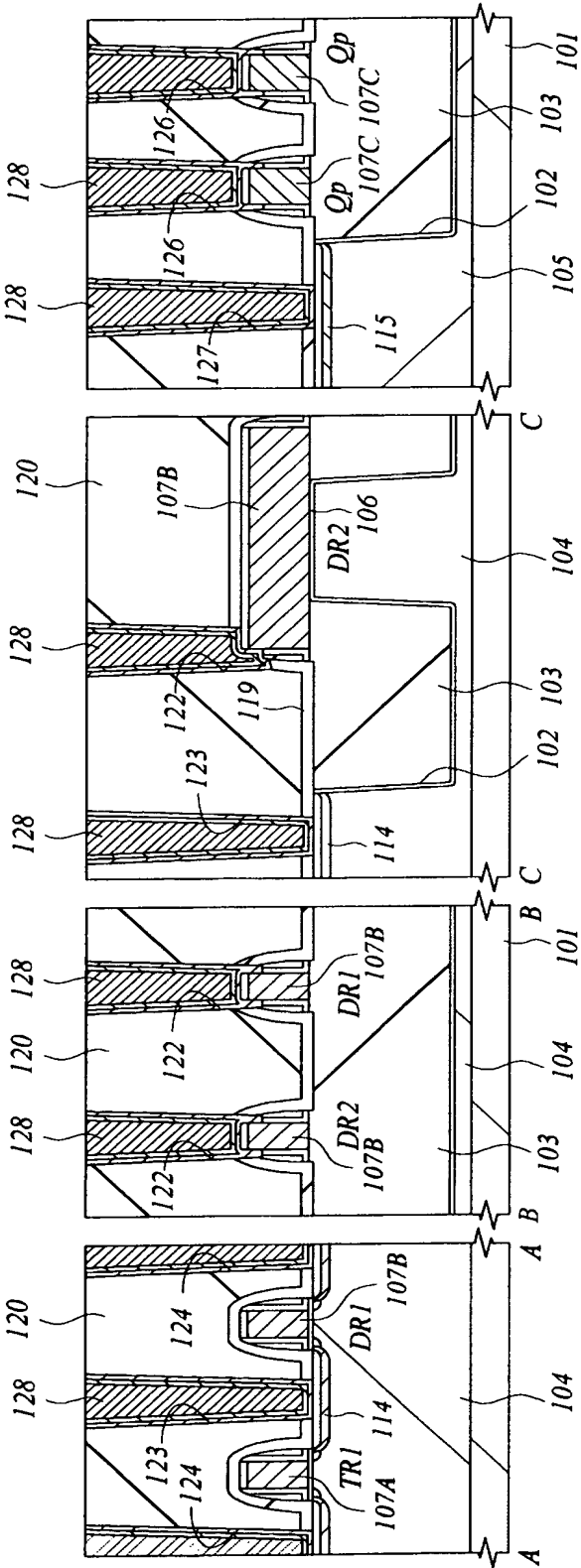


【図 68】

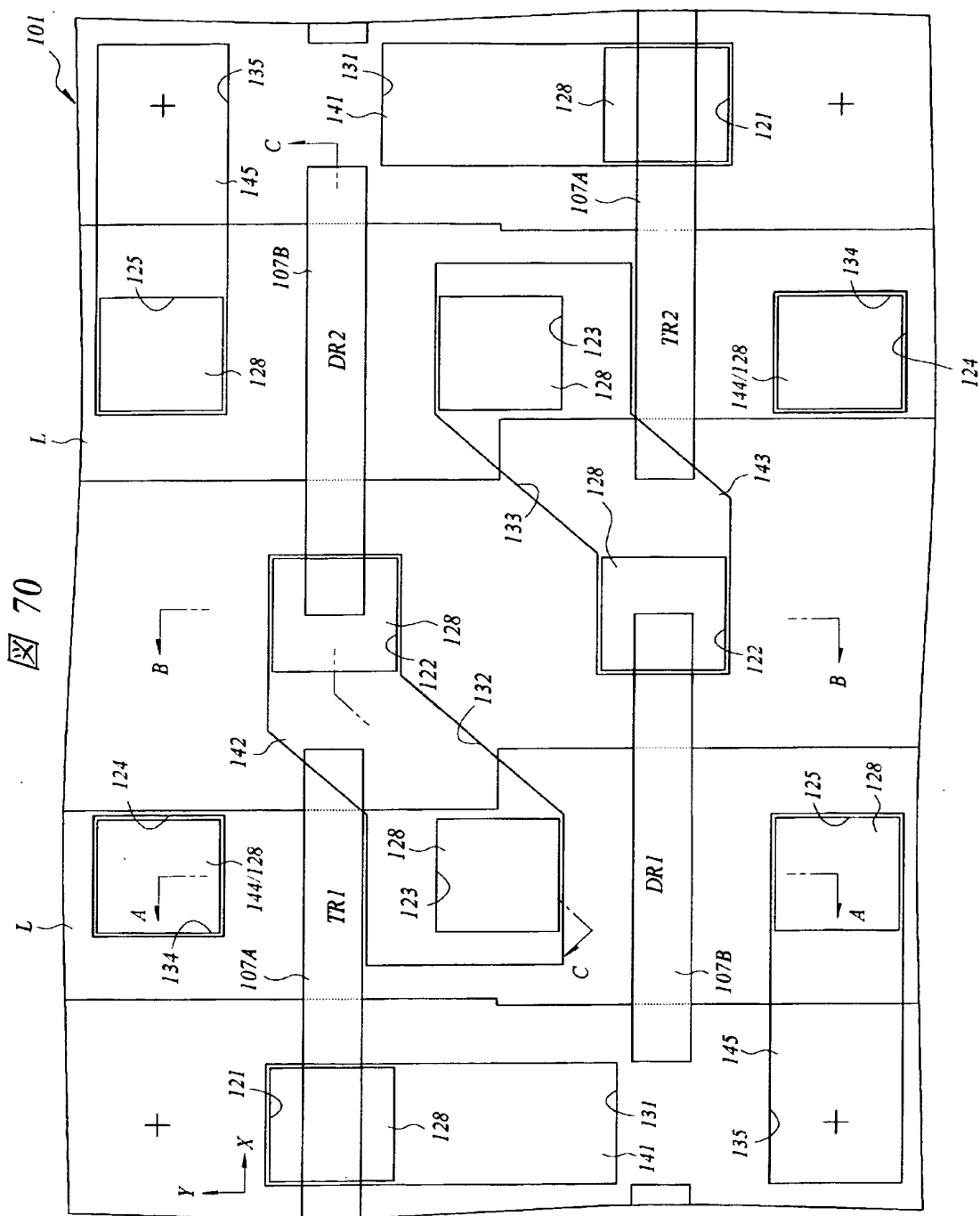


【図 69】

図 69

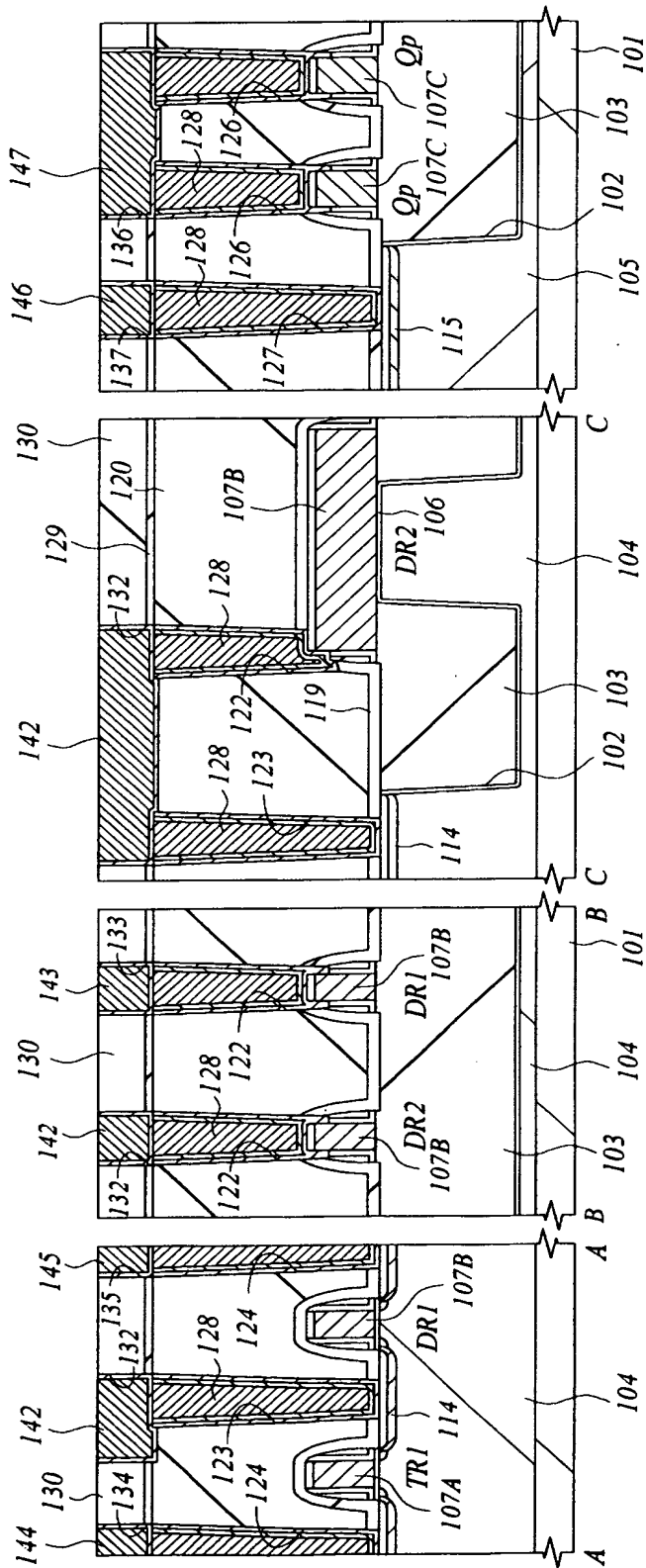


【図 70】

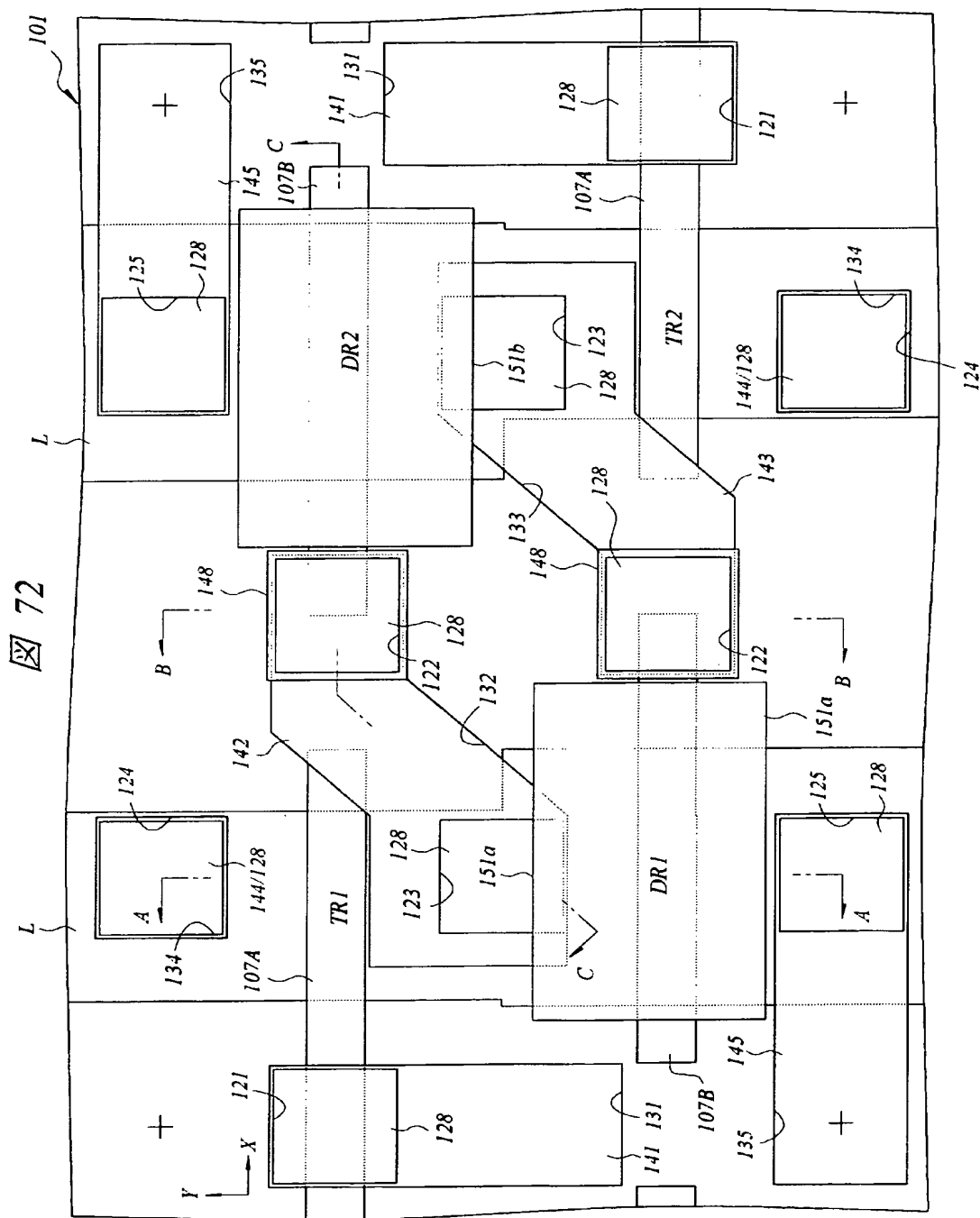


【図 71】

図 71

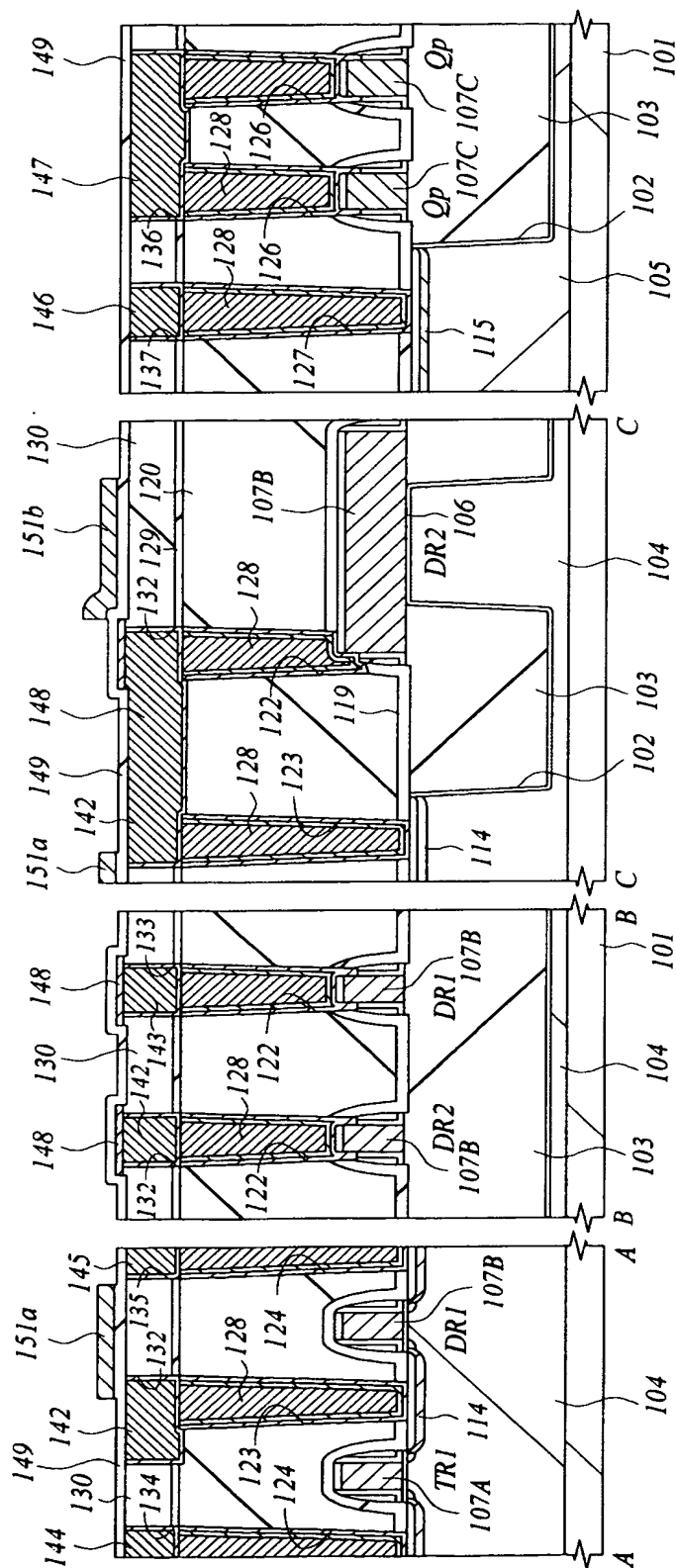


【図 7 2】

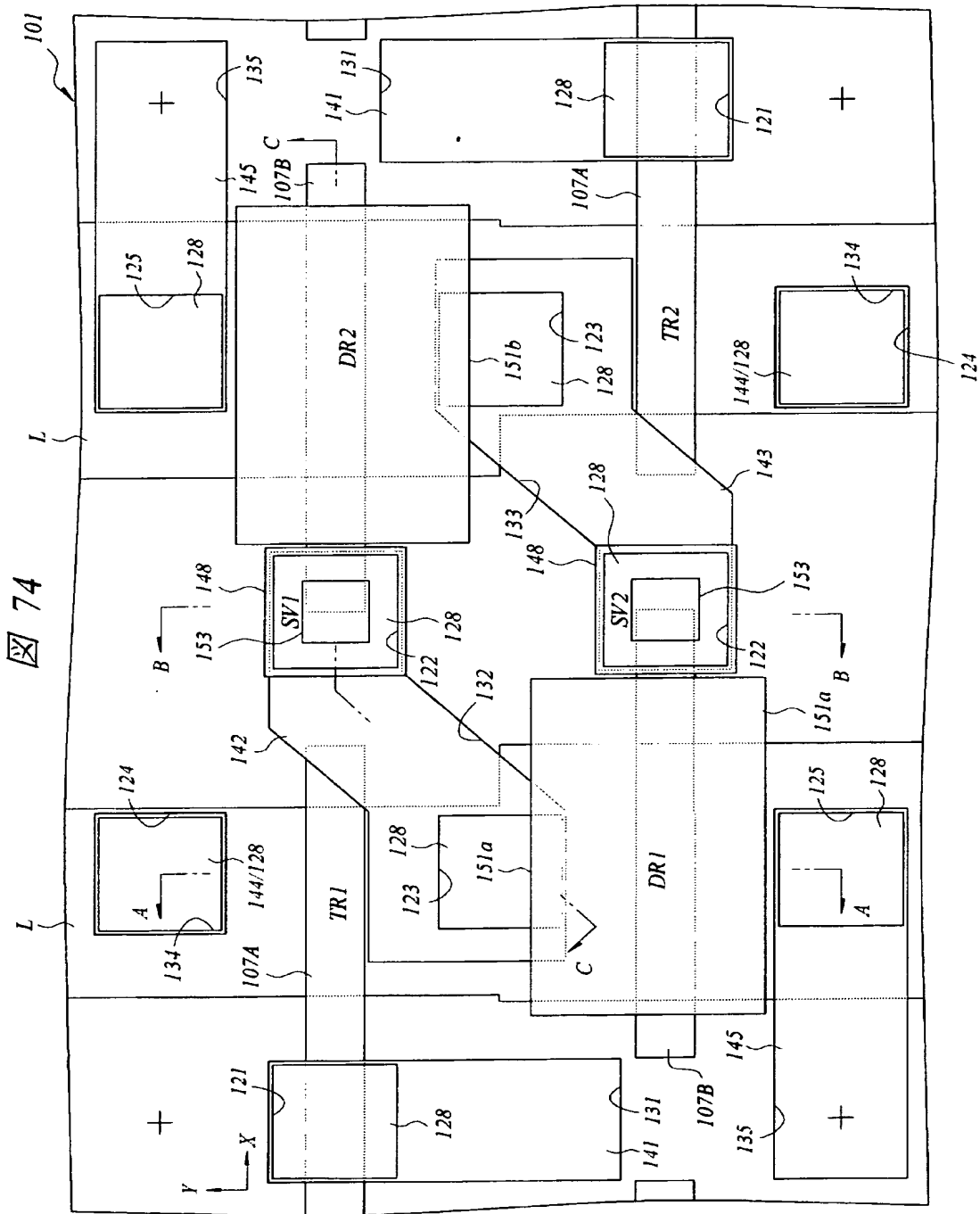


【図 73】

図 73

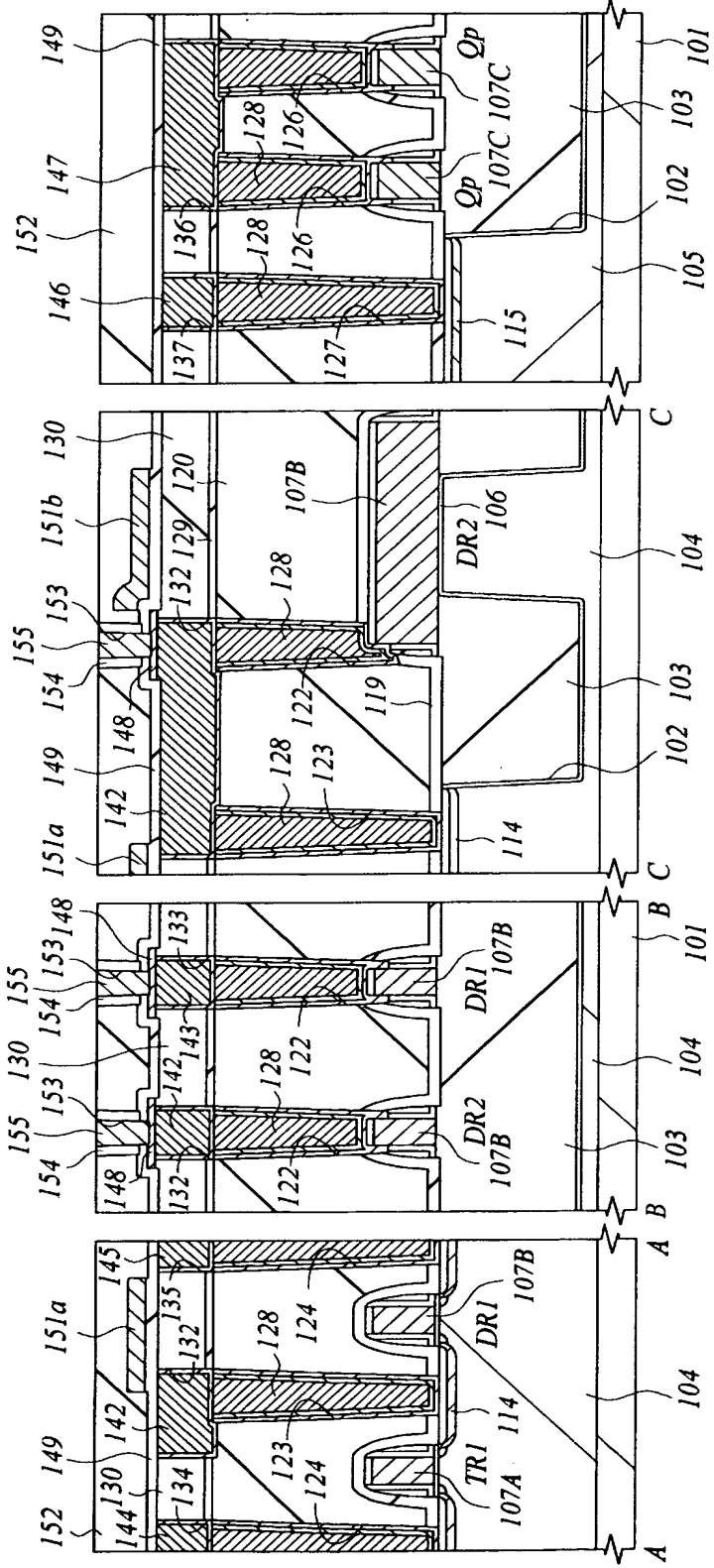


【図 74】

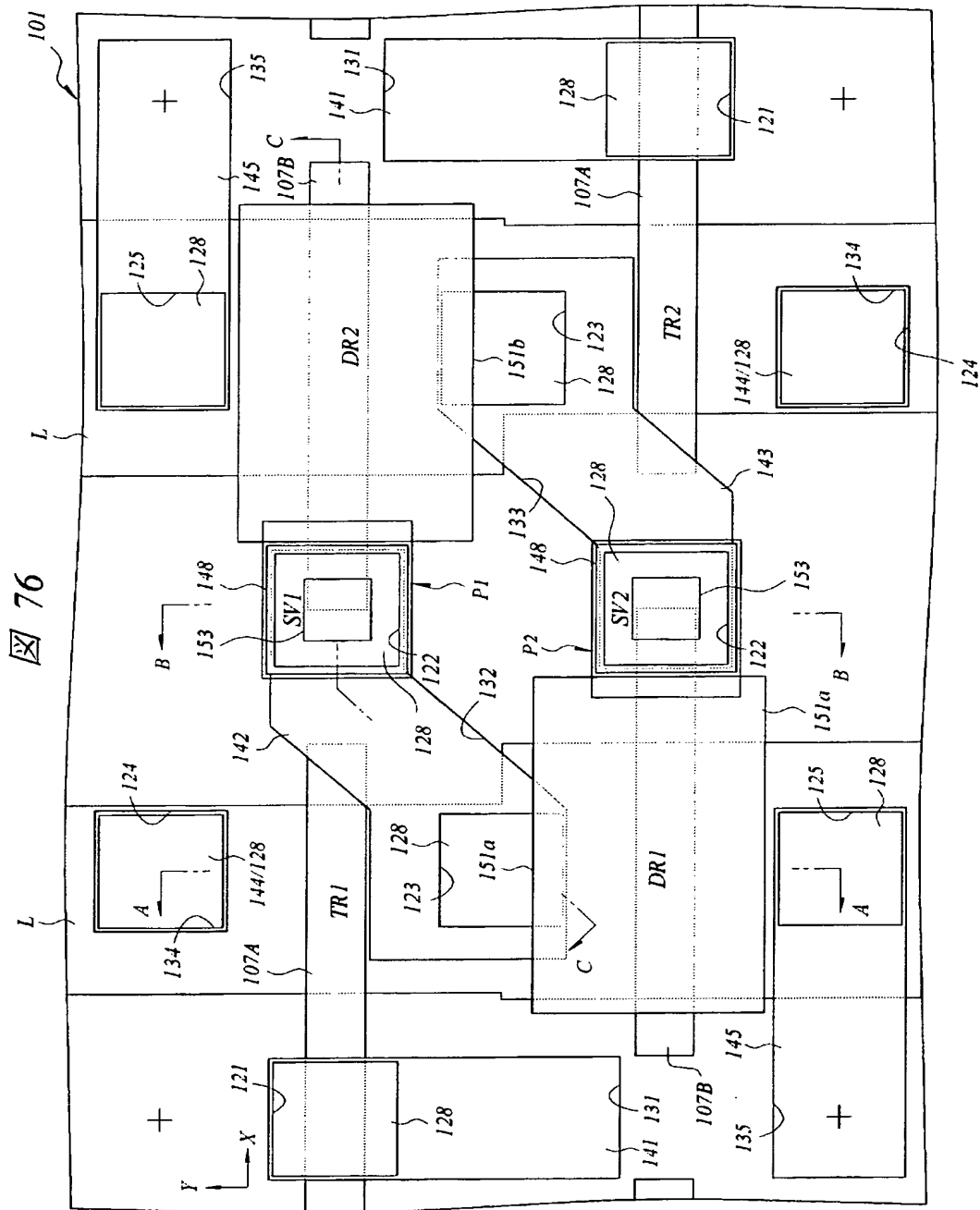


【図 75】

図 75

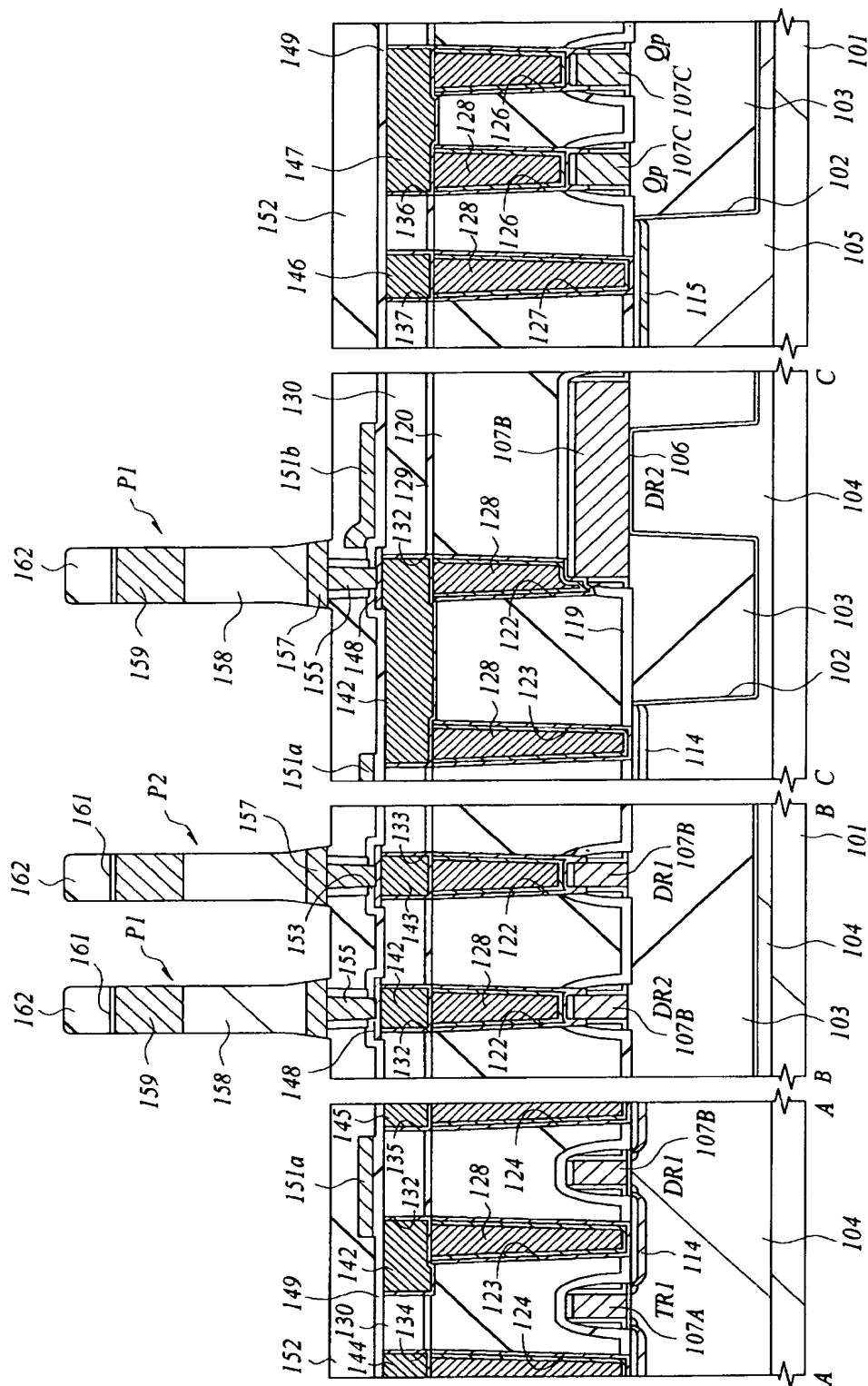


【図 76】



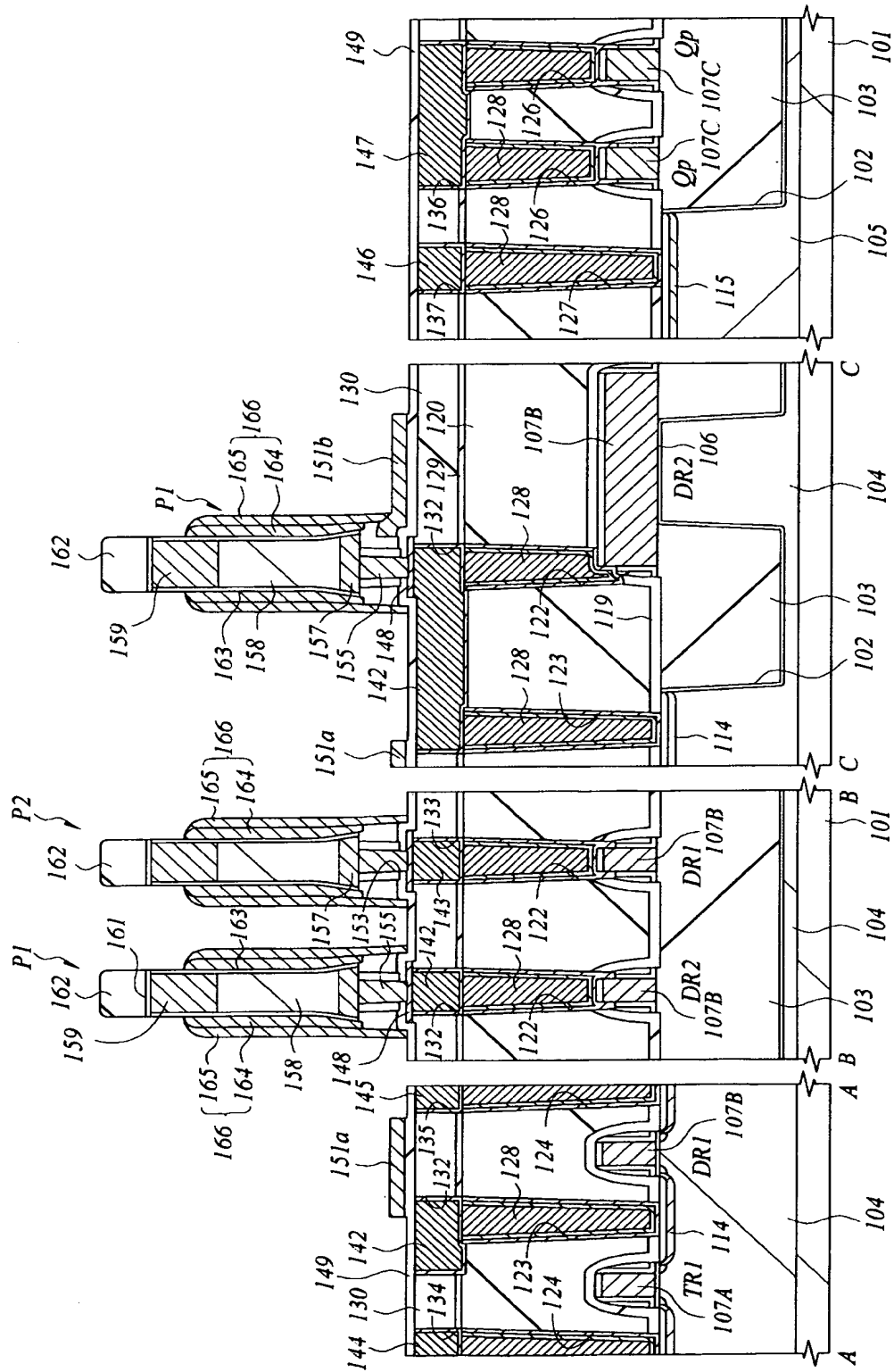
【図 77】

図 77

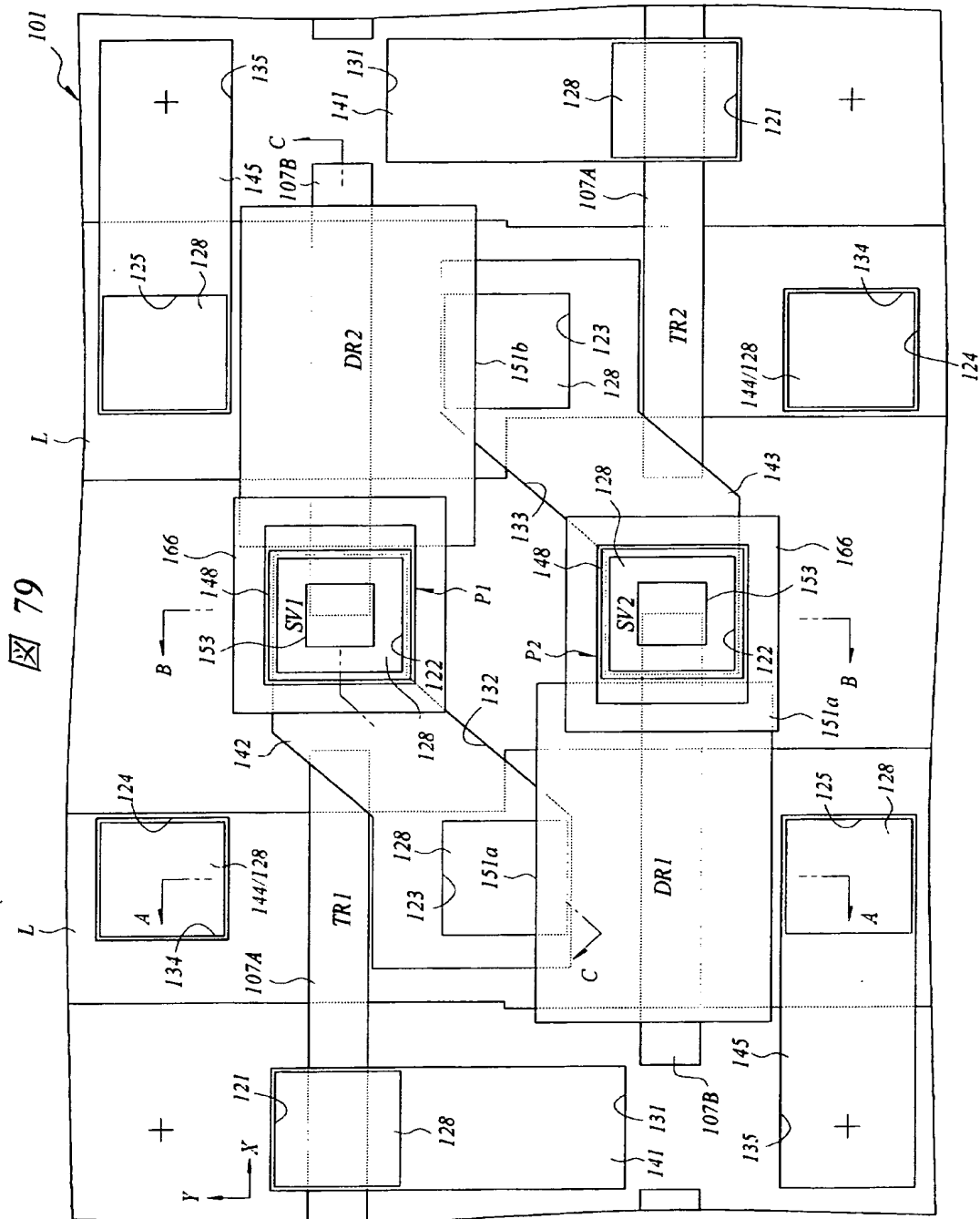


【図 78】

図 78

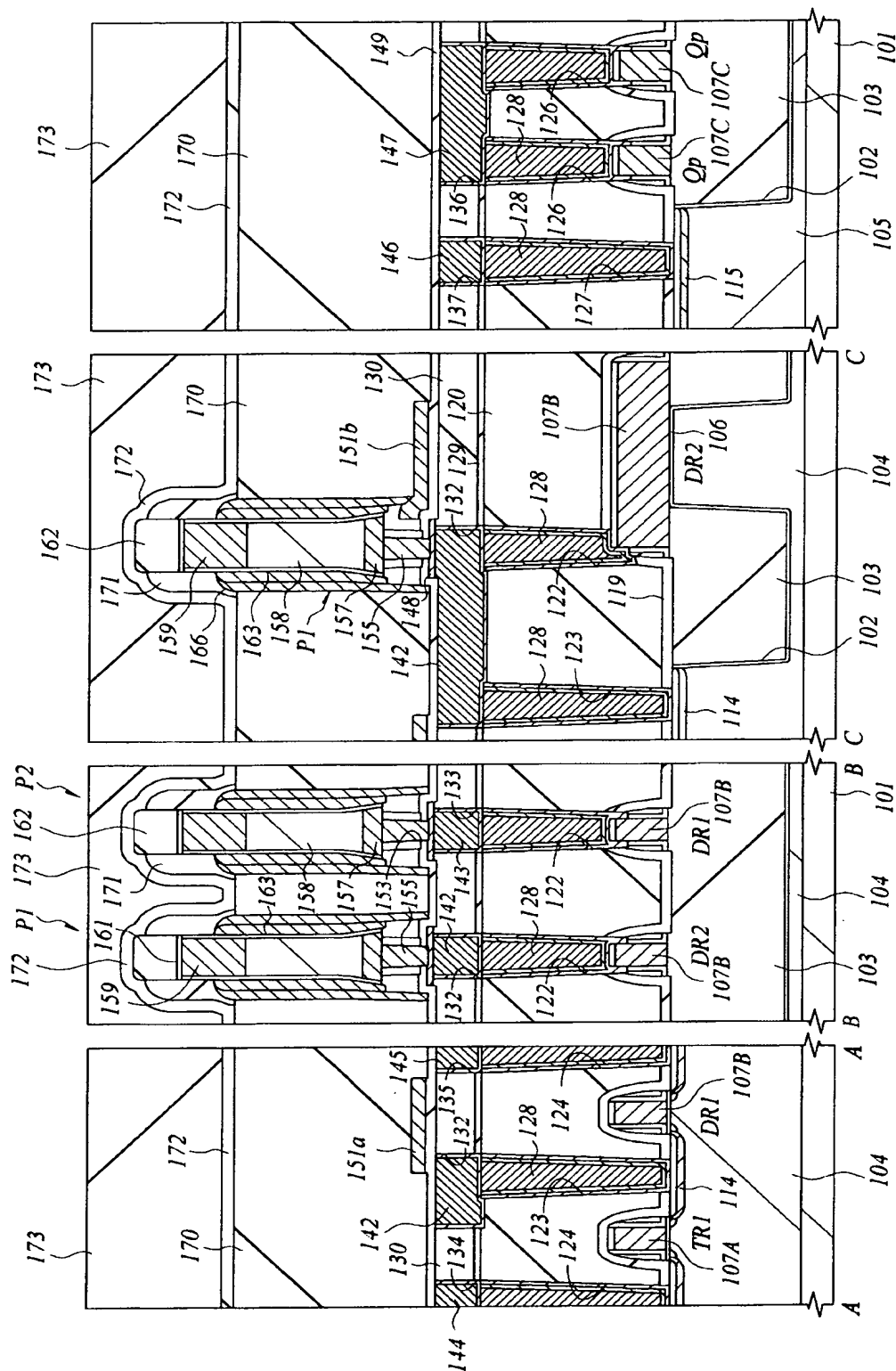


【图 7 9】

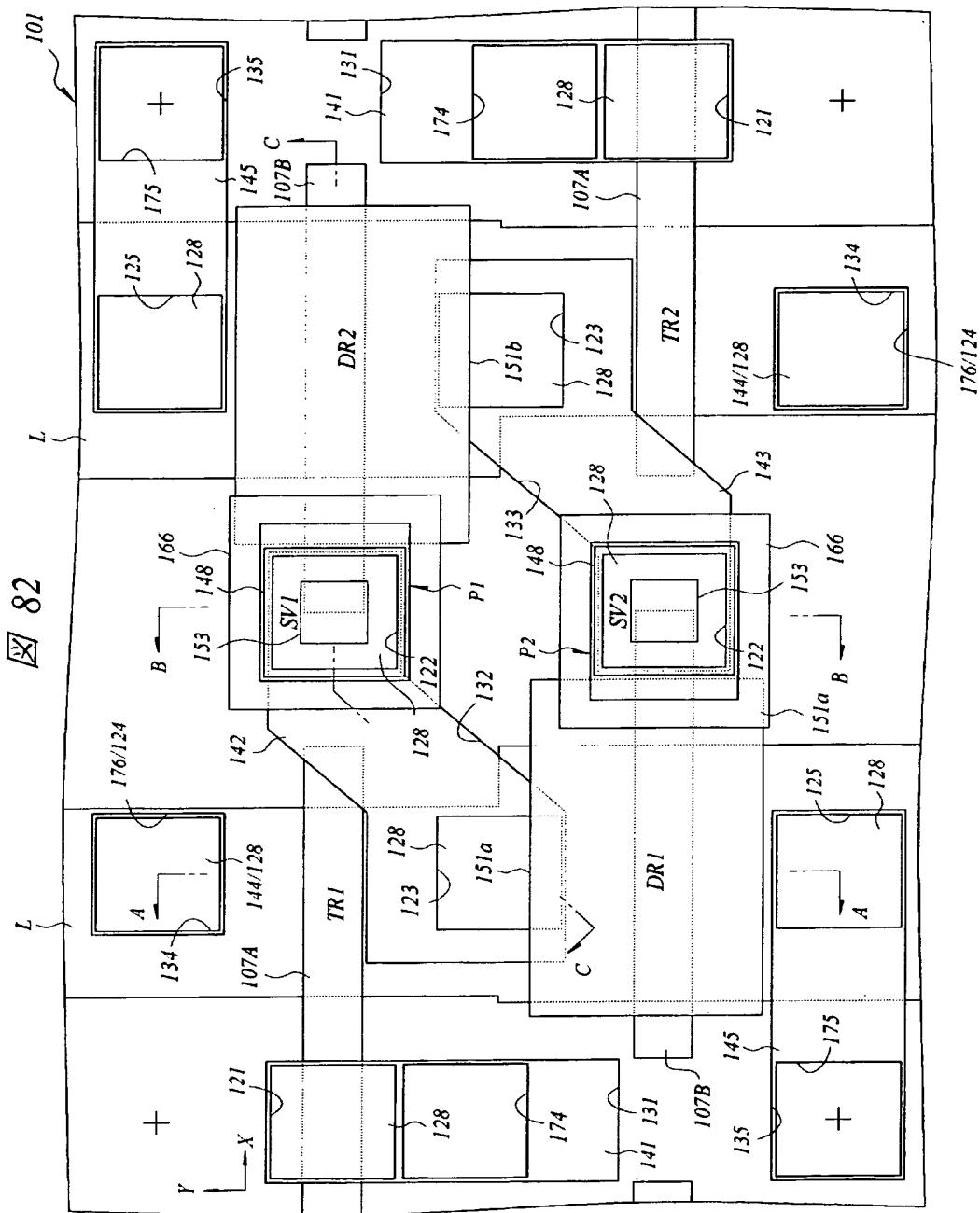


【図 81】

81

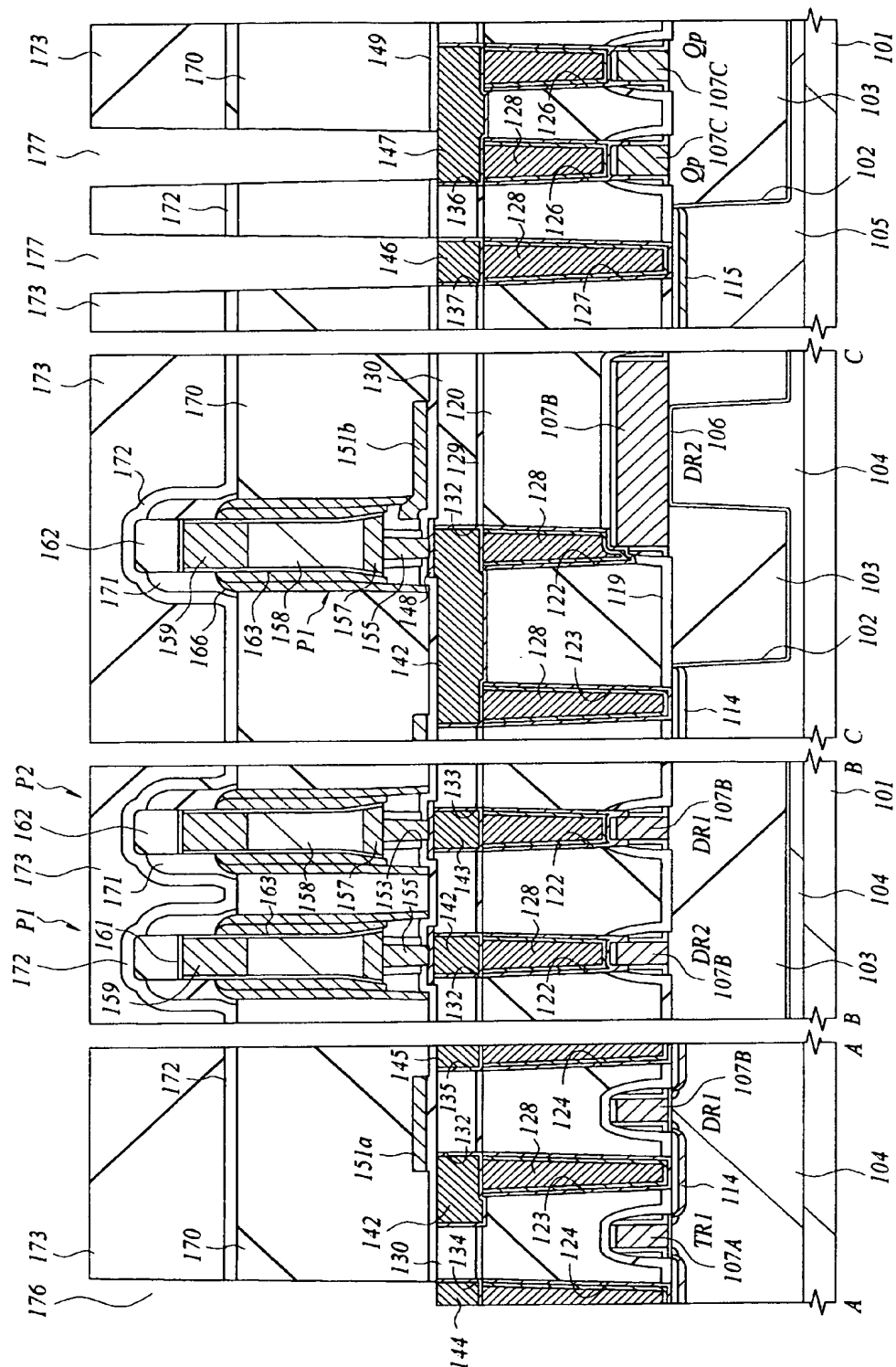


【図 82】

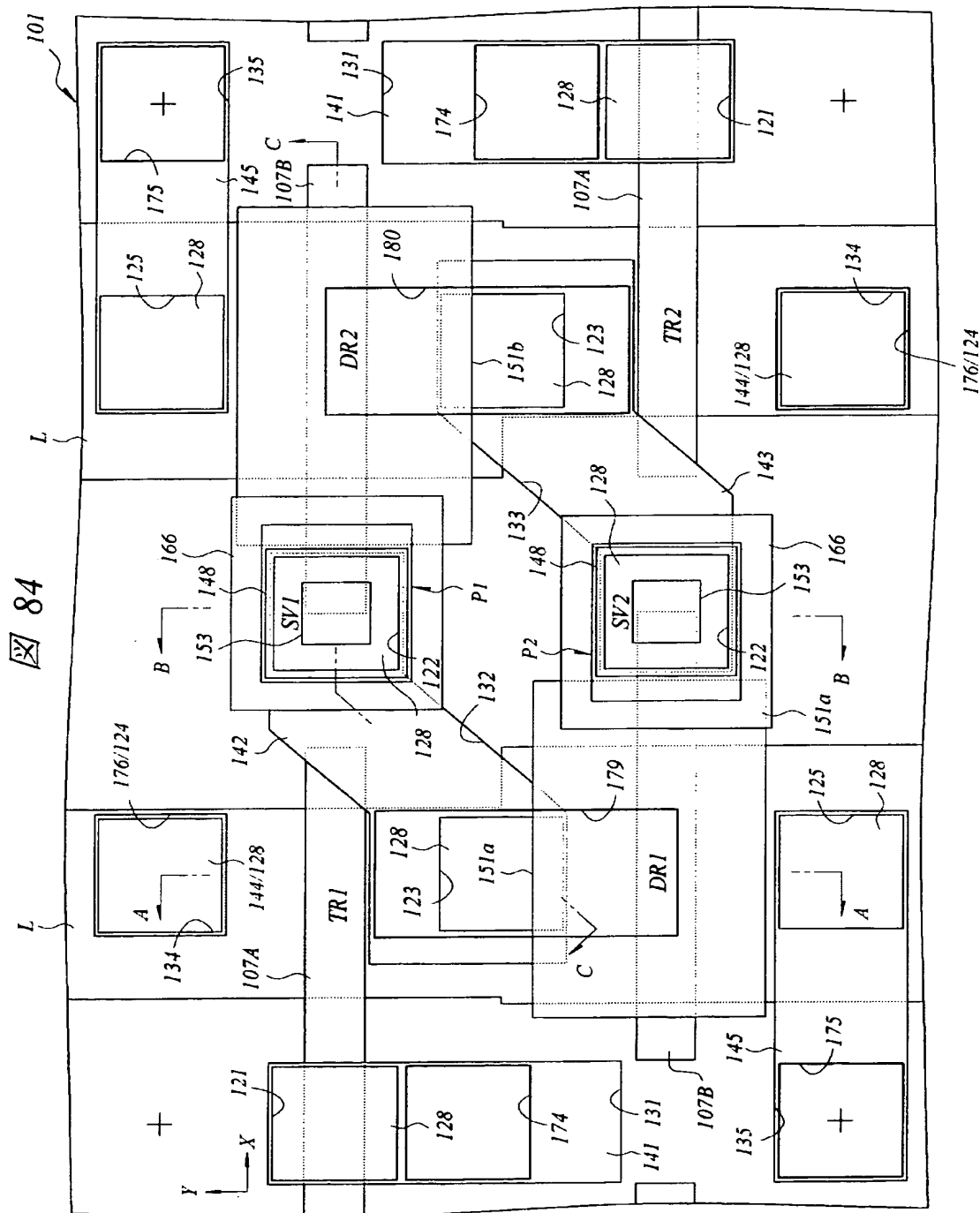


【図 83】

83

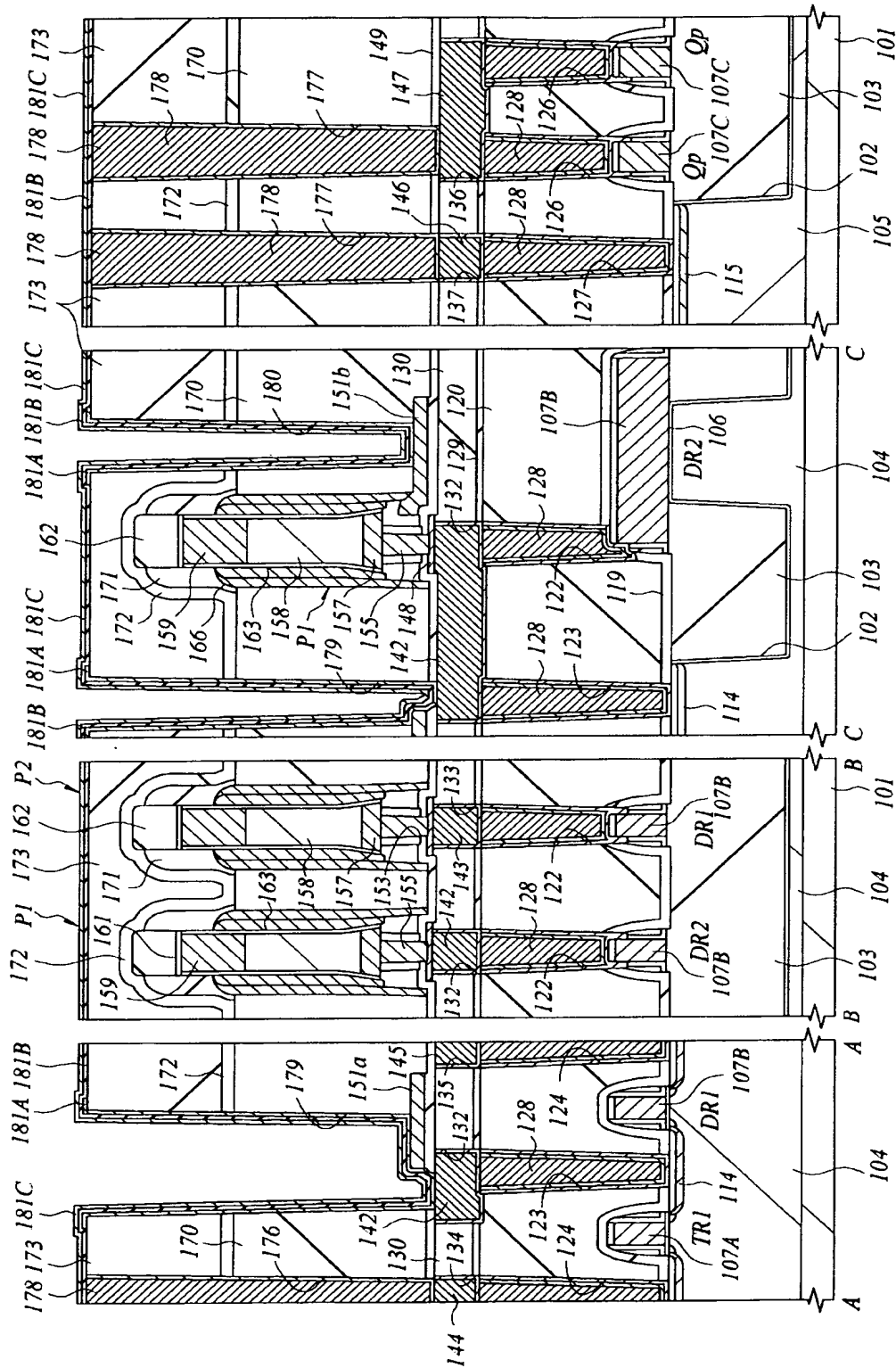


【図 84】

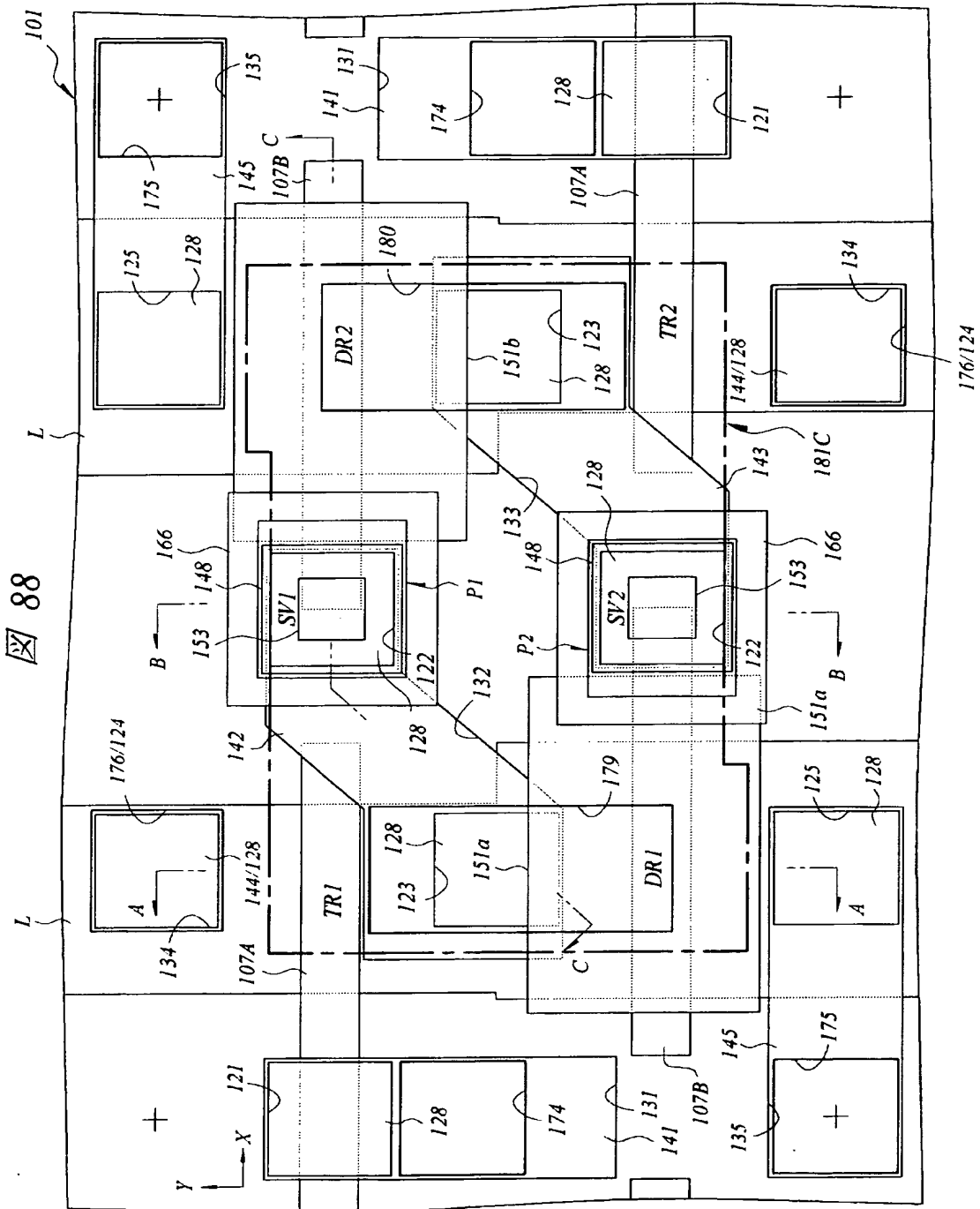


【図 87】

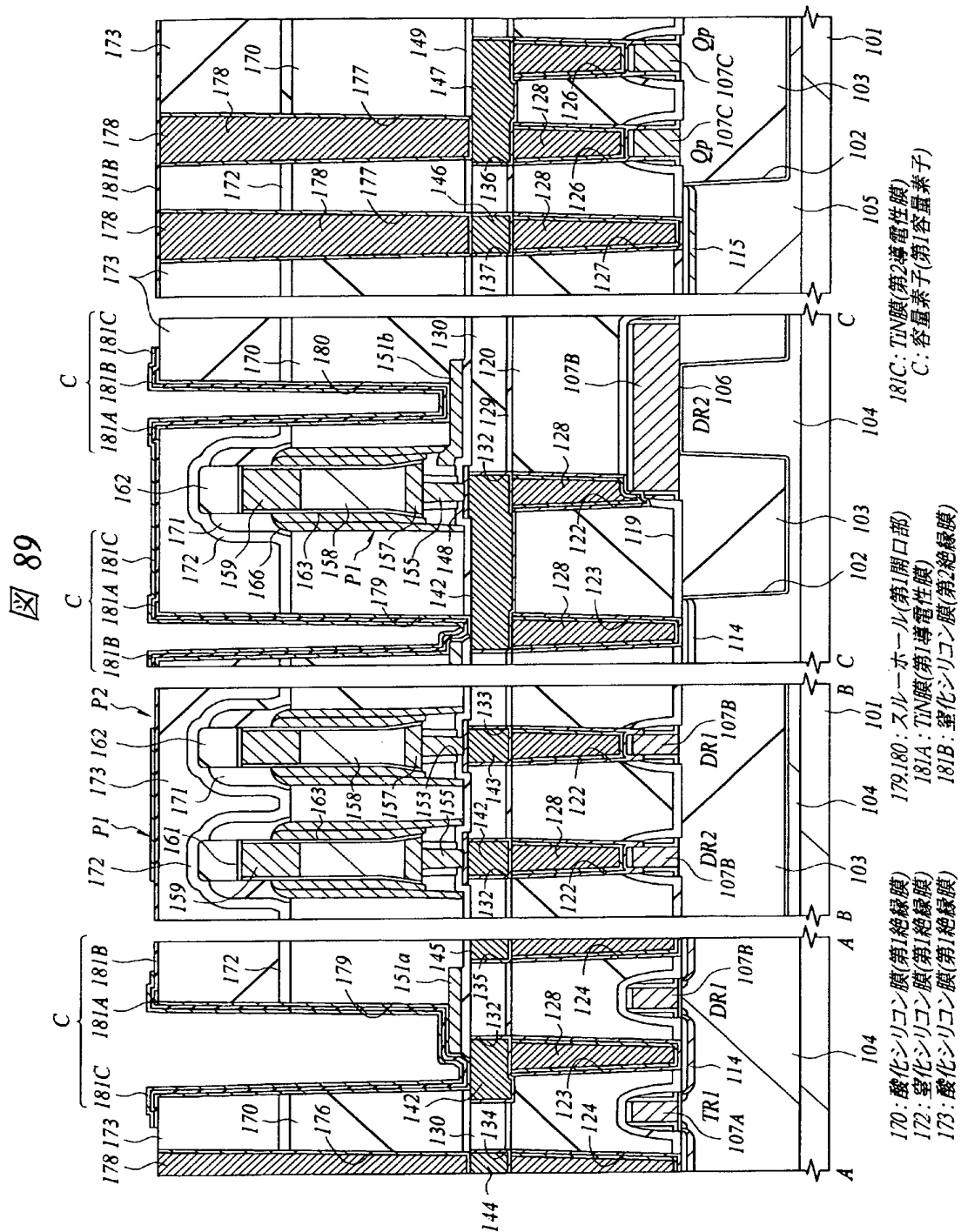
87



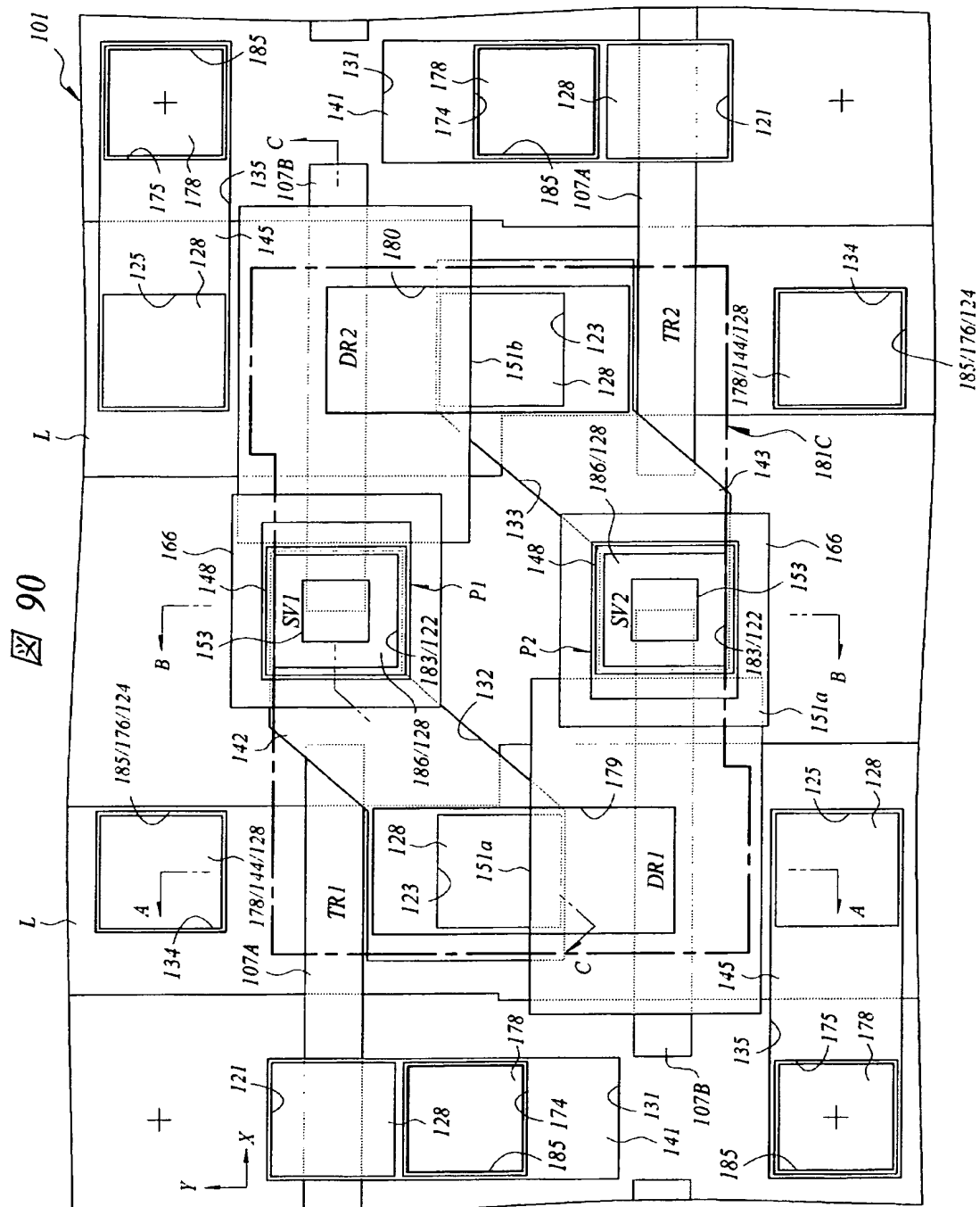
【図 88】



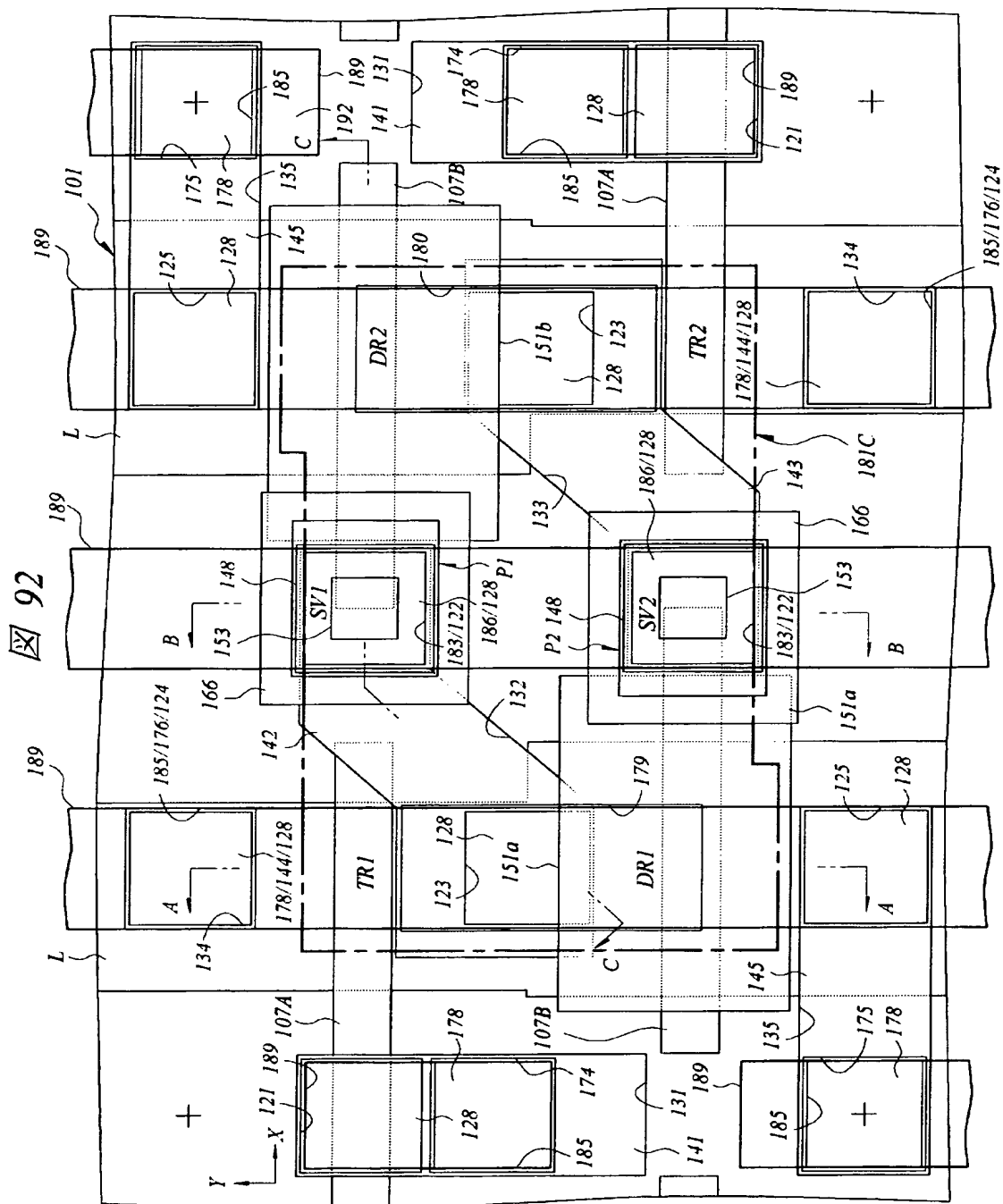
【図 8 9】



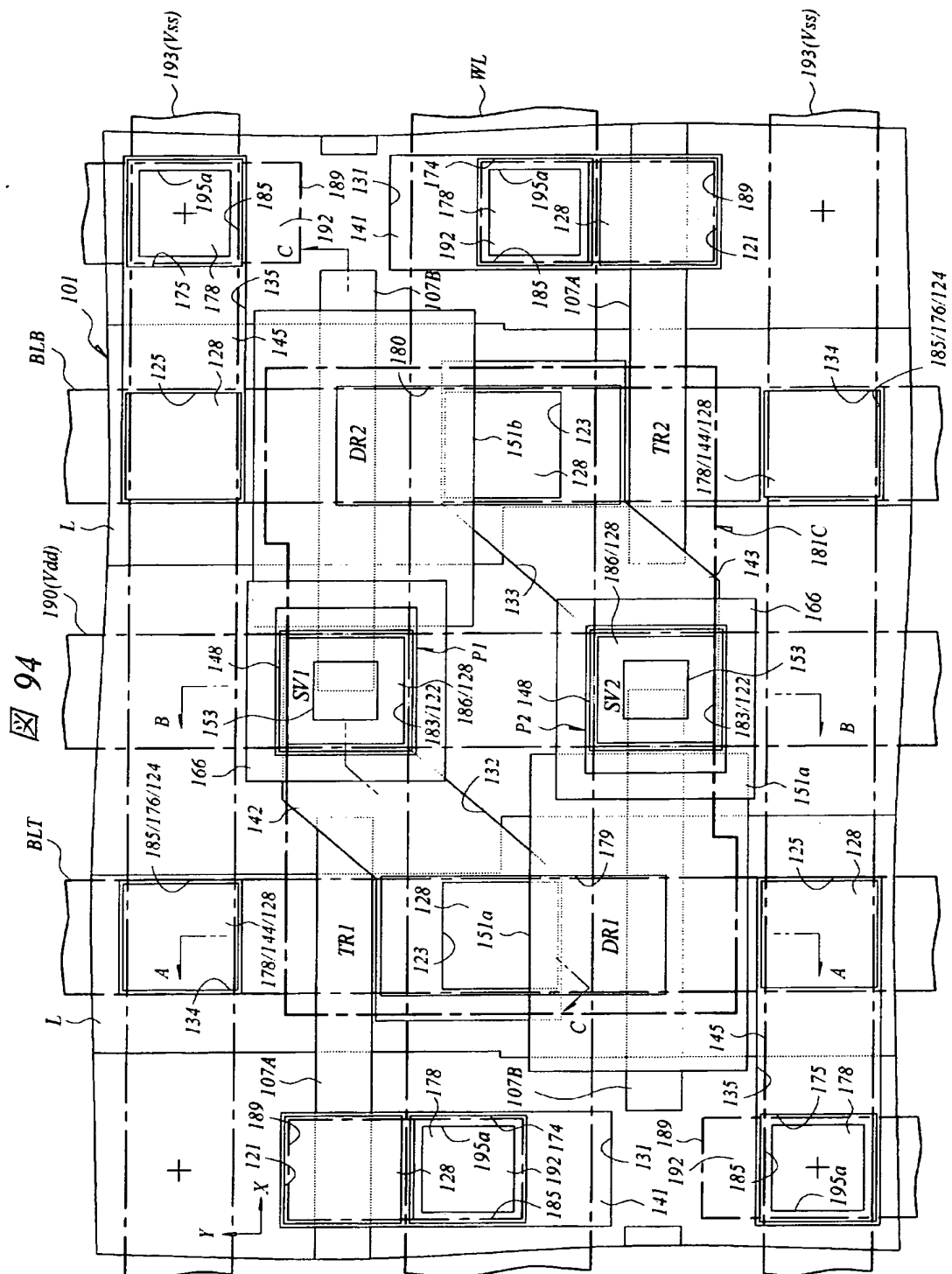
【図 90】



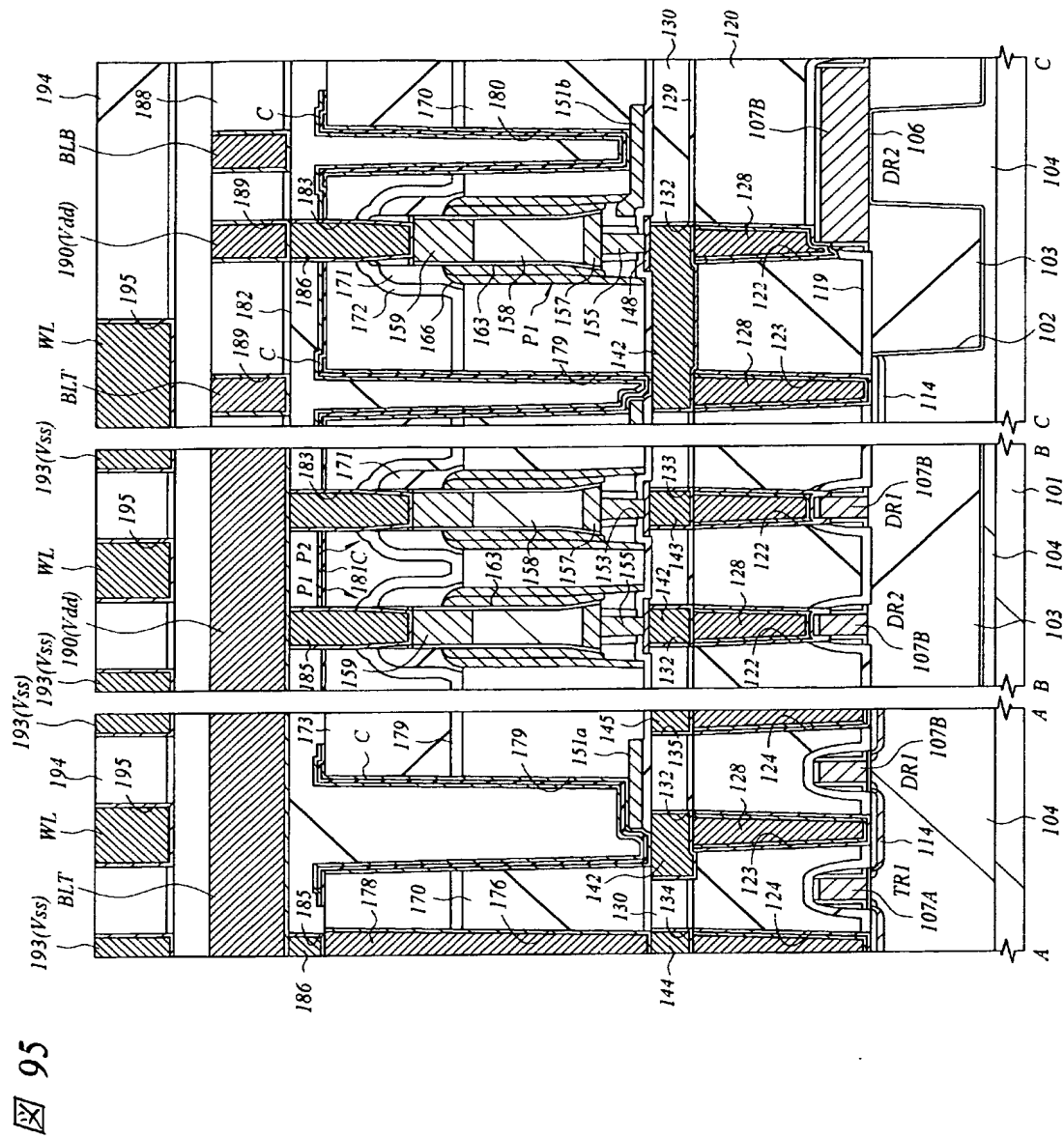
【図 92】



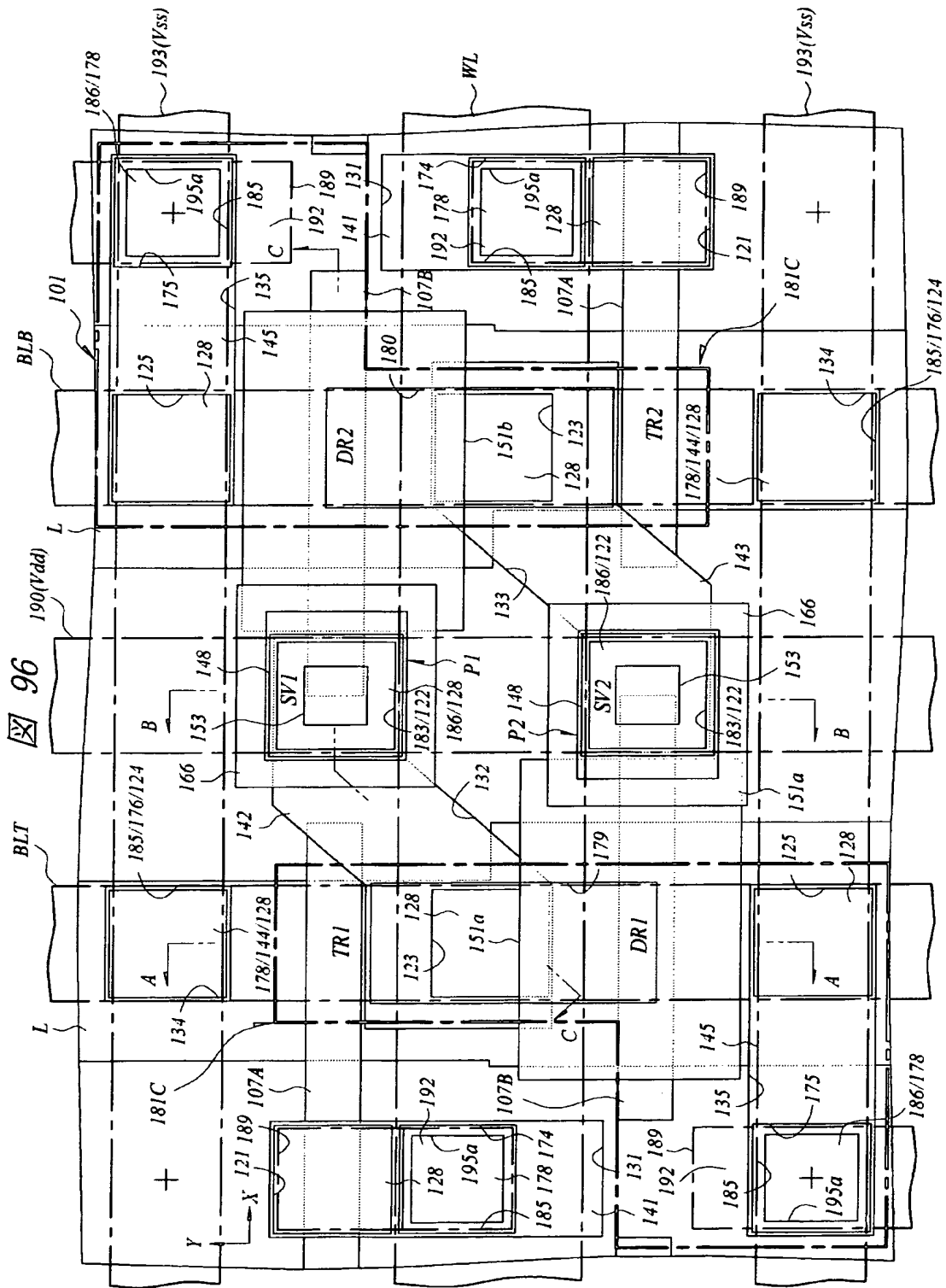
【図 94】



【図 95】

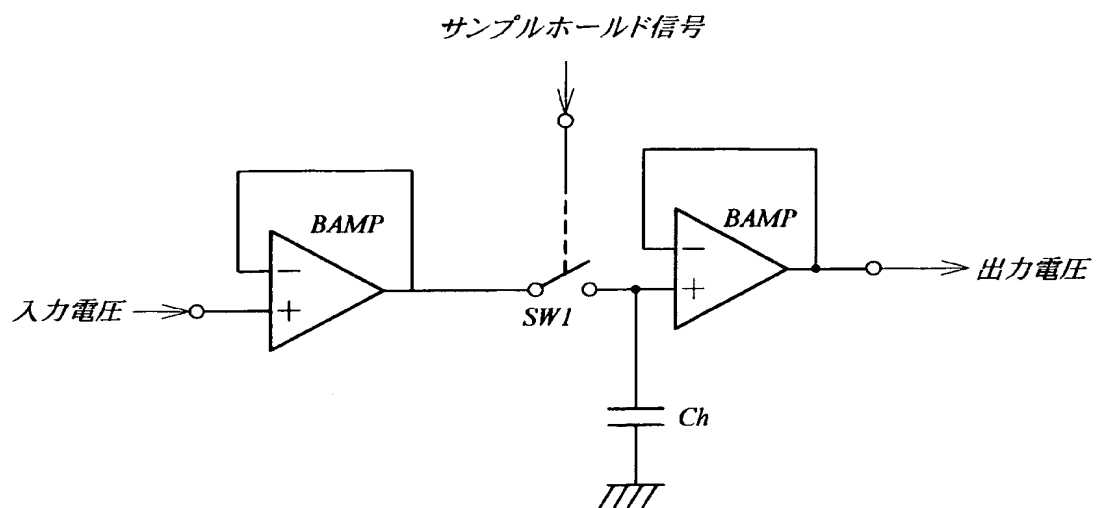


【図 96】



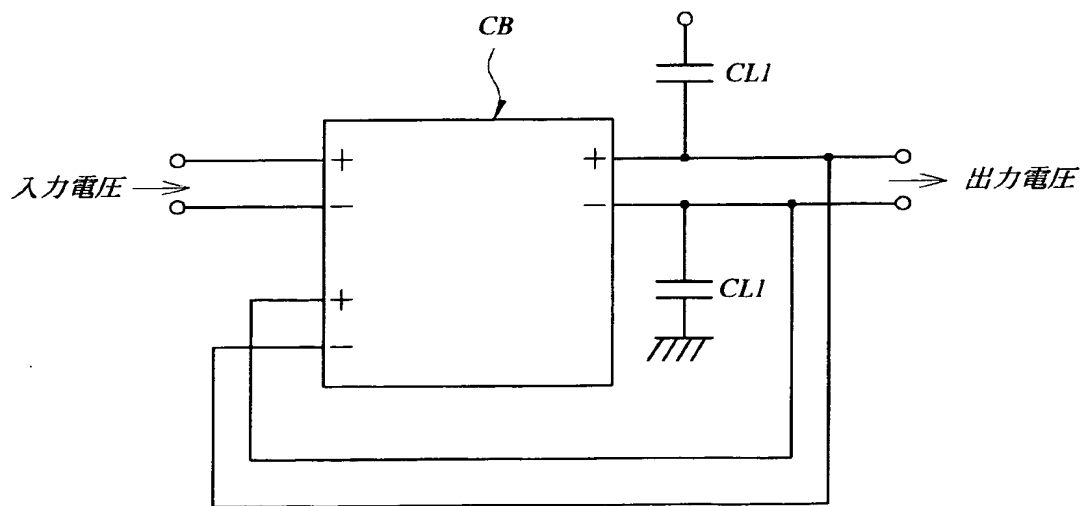
【図 97】

図 97



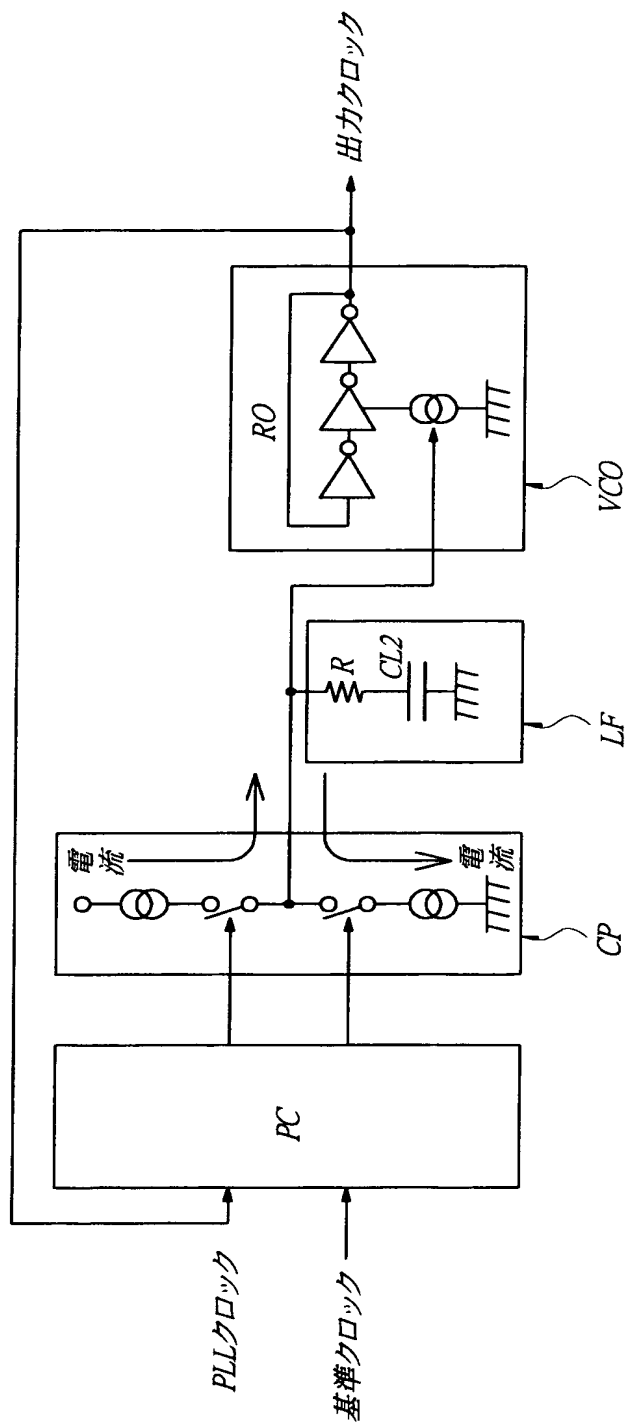
【図 98】

図 98

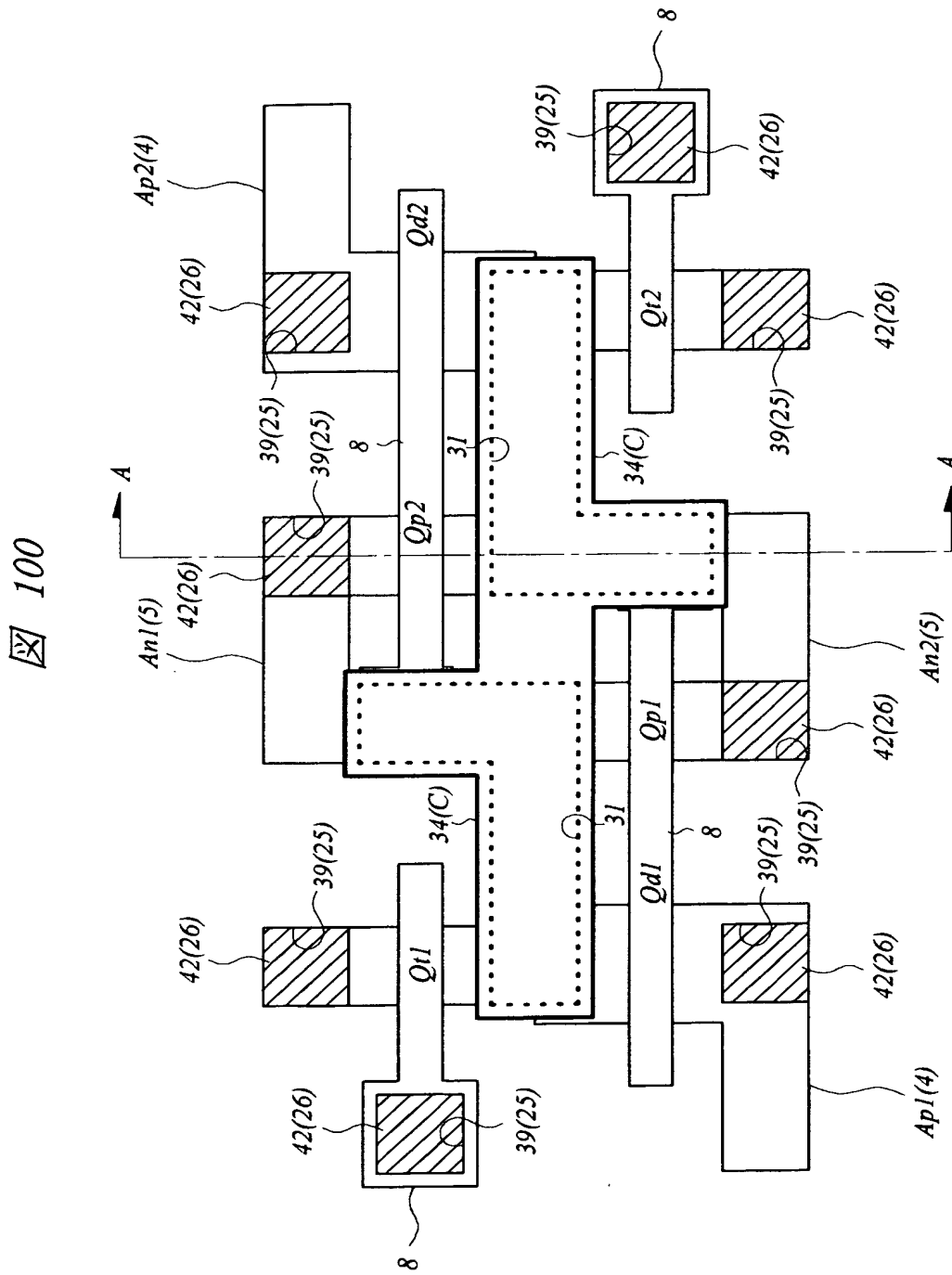


【図 99】

図 99



【図 100】



【書類名】 要約書

【要約】

【課題】 チップサイズを増大させることなく S R A M のメモリセルのソフトウェアに対する耐性を向上する。

【解決手段】 酸化シリコン膜 1 7 3、窒化シリコン膜 1 7 2 および酸化シリコン膜 1 7 0 を穿孔して形成された深いスルーホール 1 7 9、1 8 0 内に、T i N 膜 1 8 1 A を下部電極とし、窒化シリコン膜 1 8 1 B を容量絶縁膜とし、T i N 膜 1 8 1 C を上部電極とする容量素子 C を形成し、この容量素子 C を S R A M のメモリセルにおける蓄積ノードと電源電圧線との間、蓄積ノードと基準電圧線との間もしくは蓄積ノード間に接続する。

【選択図】 図 8 9

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 44820

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 4 8 2 0
受付番号	5 0 3 0 1 1 9 4 9 9 3
書類名	出願人名義変更届（一般承継）
担当官	笹川 友子 9 4 8 2
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 1 5 年 7 月 1 8 日

特願 2 0 0 3 - 0 4 4 8 2 0

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 1 日
新規登録

住 所
氏 名

東京都千代田区神田駿河台 4 丁目 6 番地
株式会社日立製作所

特願 2 0 0 3 - 0 4 4 8 2 0

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ